

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-162635  
 (43)Date of publication of application : 16.06.2000

(51)Int.Cl. G02F 1/1345  
 G02F 1/1333  
 G02F 1/1339  
 G09F 9/30  
 G09F 9/35  
 H01L 29/786  
 H01L 21/336

(21)Application number : 11-025009 (71) SEIKO EPSON CORP  
 Applicant :  
 (22)Date of filing : 02.02.1999 (72)Inventor : MURAIDE MASAO

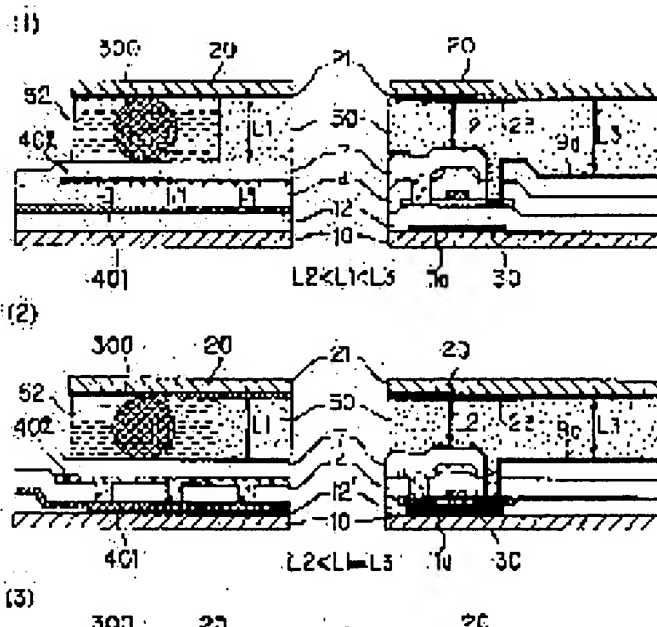
(30)Priority  
 Priority number : 10020002 Priority number : 10272119 date : 30.01.1998 25.09.1998 Priority country : JP JP

(54) ELECTRO-OPTIC DEVICE, PRODUCTION METHOD FOR THE SAME AND ELECTRONIC DEVICE

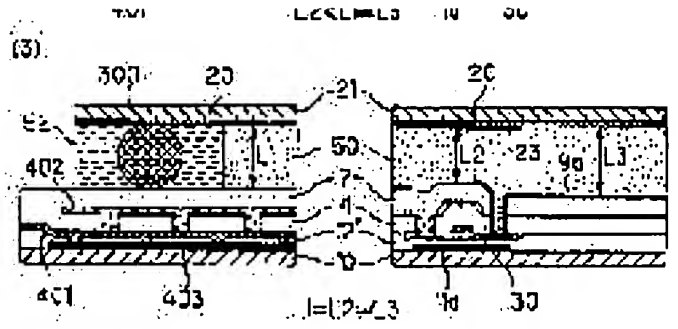
(57)Abstract:

PROBLEM TO BE SOLVED: To control a gap with high accuracy and to reduce the wiring failure in leader wirings provided under a seal area for an electro-optic device of a matrix drive system by inserting a gap material into the sealing region.

SOLUTION: This liquid crystal device 100 has a liquid crystal layer 50, held between a couple of substrates and scanning lines 3a arranged on a TFT array substrate 10 and data lines 6a. A gap material 300 is mixed in a sealing material 52, which bonds the both



substrates, so as to control the gap between the substrates, and a first inter-layer insulating film 12' is formed in the recessed form at the parts which face opposite the lead-out wiring 401 on the scanning line side and the lead-out wiring of the data line side, in the sealing region.



# LEGAL STATUS

[Date of request for examination] 12.08.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3731368

[Date of registration] 21.10.2005

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-162635

(P2000-162635A)

(43) 公開日 平成12年6月16日 (2000.6.16)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	キーワード*(参考)		
G 0 2 F	1/1345	G 0 2 F	1/1345	2 H 0 8 9	
	1/1333		1/1333	5 0 5	2 H 0 9 0
	1/1339		1/1339	5 0 5	2 H 0 9 2
G 0 9 F	9/30	G 0 9 F	9/30	3 0 9	5 C 0 9 4
	9/35		9/35	3 0 2	5 F 1 1 0
審査請求 未請求 請求項の数16 O L (全 30 頁) 最終頁に続く					

審査請求 未請求 請求項の数16 O L (全 30 頁) 最終頁に続く

(21) 出願番号 特願平11-25009

(22) 出願日 平成11年2月2日 (1999.2.2)

(31) 優先権主張番号 特願平10-20002

(32) 優先日 平成10年1月30日 (1998.1.30)

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平10-272119

(32) 優先日 平成10年9月25日 (1998.9.25)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 村出 正夫

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100093388

弁理士 鈴木 喜三郎 (外2名)

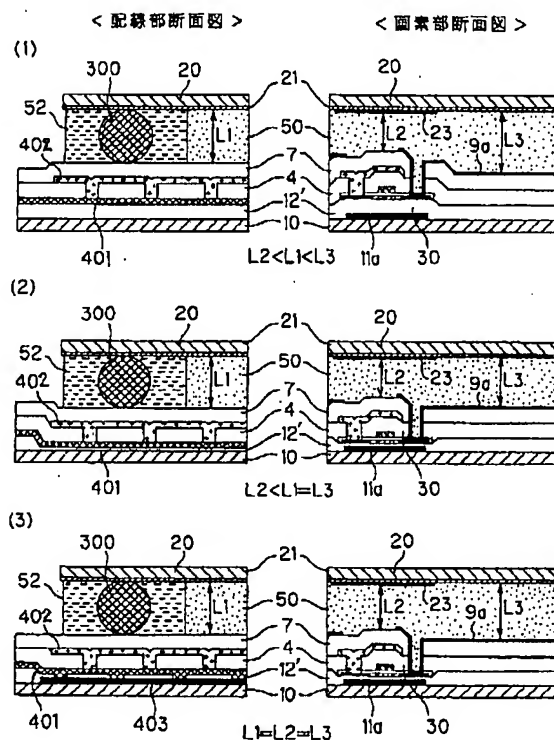
最終頁に続く

(54) 【発明の名称】 電気光学装置及びその製造方法並びに電子機器

## (57) 【要約】

【課題】 マトリクス駆動方式の電気光学装置において、シール領域にギャップ材を入れてギャップを精度良く制御しつつ、シール領域下の引き出し配線の配線不良を低減する。

【解決手段】 液晶装置 (100) は、一对の基板間に挟持された液晶層 (50) と、TFTアレイ基板 (10) に配列された走査線 (3a) 及びデータ線 (6a) とを備える。両基板を接着するシール材 (52) 中には、基板間ギャップを制御するギャップ材 (300) が混入されており、第1層間絶縁膜 (12') は、シール領域において、走査線側引き出し配線 (401) やデータ線側引き出し配線に対向する部分が凹状に窪んで形成されている。



## 【特許請求の範囲】

【請求項1】 一对の基板間に電気光学物質が封入され、該基板の該電気光学物質に面する側に相交差して配列された複数のデータ線及び複数の走査線と、前記基板を相互に接着するギャップ材混入のシール材と、前記シール材の形成領域において、前記データ線及び走査線の少なくとも一方の延設方向に配置された複数の引き出し配線と、前記基板と前記引き出し配線との間に配置された凹状に窪んだ領域を有する層間絶縁膜とを備えており、前記引き出し配線は、前記シール材の形成領域において前記層間絶縁膜の凹状に窪んだ領域に形成されていることを特徴とする電気光学装置。

【請求項2】 前記複数のデータ線及び複数の走査線は、前記基板のうちの一方に設けられており、該一方の基板上に、前記各データ線及び前記各走査線に接続された薄膜トランジスタと、該薄膜トランジスタに接続された画素電極と、前記薄膜トランジスタの少なくともチャネル領域を前記一方の基板の側から見て各々重なる位置に設けられた遮光膜と、前記走査線に平行に配設され前記画素電極に所定容量を付与する容量線とを更に備えており、前記層間絶縁膜は、前記一方の基板上の前記遮光膜が形成されている領域においては前記遮光膜上に且つ前記遮光膜が形成されていない領域においては前記一方の基板上に設けられており、前記薄膜トランジスタ、前記データ線、前記走査線及び前記容量線のうち少なくとも一つに対向する部分が前記基板のうちの他方の側から見て凹状に窪んで形成された第1層間絶縁膜を含み、該第1層間絶縁膜は、前記シール領域において前記引き出し配線に対向する部分が凹状に窪んで形成されたことを特徴とする請求項1に記載の電気光学装置。

【請求項3】 前記シール領域において、前記データ線の延設方向に配置されたデータ線側引き出し配線をなす金属膜に対しては、前記走査線をなす導電性のポリシリコン膜及び導電性の前記遮光膜の少なくとも一方が前記層間絶縁膜を介して積層形成されていると共に、前記走査線の延設方向に配置された走査線側引き出し配線をなす前記ポリシリコン膜に対しては、前記金属膜及び前記遮光膜の少なくとも一方が前記層間絶縁膜を介して積層形成されていることを特徴とする請求項2に記載の電気光学装置。

【請求項4】 前記データ線の延設方向に配置された前記データ線側引き出し配線をなす前記金属膜は、積層形成された前記ポリシリコン膜及び前記遮光膜の少なくとも一方とコンタクトホールを介して電気接続されており、前記データ線側引き出し配線の少なくとも一部は、前記金属膜と共に前記ポリシリコン膜及び前記遮光膜の少なくとも一方からなる冗長構造を有することを特徴と

する請求項3に記載の電気光学装置。

【請求項5】 前記走査線側引き出し配線をなす前記ポリシリコン膜は、積層形成された前記金属膜及び前記遮光膜の少なくとも一方とコンタクトホールを介して電気接続されており、前記走査線側引き出し配線の少なくとも一部は、前記ポリシリコン膜と共に前記金属膜及び遮光膜の少なくとも一方からなる冗長構造を有することを特徴とする請求項3又は4に記載の電気光学装置。

【請求項6】 前記データ線側引き出し配線をなす前記金属膜に対して積層形成された前記ポリシリコン膜及び前記遮光膜の少なくとも一方は、前記シール領域において前記基板を介して入射される光がシール材に透過可能なように網目状又はストライプ状の平面パターンを備えており、前記走査線側引き出し配線をなす前記ポリシリコン膜に対して積層形成された前記金属膜及び前記遮光膜の少なくとも一方は、前記シール領域において前記基板を介して入射される光がシール材に透過可能なように網目状又はストライプ状の平面パターンを備えたことを特徴とする請求項3から5のいずれか一項に記載の電気光学装置。

【請求項7】 前記遮光膜は、定電位源に接続されていることを特徴とする請求項2から6のいずれか一項に記載の電気光学装置。

【請求項8】 前記層間絶縁膜は、単層から構成されていることを特徴とする請求項1から7のいずれか一項に記載の電気光学装置。

【請求項9】 前記層間絶縁膜は、単層部分と多層部分とから構成されており、前記単層部分が前記凹状に窪んだ部分とされており、前記多層部分が前記凹状に窪んでいない部分とされていることを特徴とする請求項1から6のいずれか一項に記載の電気光学装置。

【請求項10】 前記層間絶縁膜は、酸化シリコン膜又は窒化シリコン膜から構成されていることを特徴とする請求項1から9のいずれか一項に記載の電気光学装置。

【請求項11】 前記遮光膜は、Ti、Cr、W、Ta、Mo及びPbのうちの少なくとも一つを含むことを特徴とする請求項2から9のいずれか一項に記載の電気光学装置。

【請求項12】 前記ギャップ材は、前記基板間のギャップに対応する所定径を持つガラスファイバ及びガラスビーズのいずれか一方からなることを特徴とする請求項1から11のいずれか一項に記載の電気光学装置。

【請求項13】 前記層間絶縁膜の凹状に窪んだ側壁部分はテーパ状に形成されていることを特徴とする請求項1から12のいずれか一項に記載の電気光学装置。

【請求項14】 請求項8に記載の電気光学装置の製造方法であって、前記一方の基板上の所定領域に前記遮光膜を形成する工程と、

前記一方の基板及び遮光膜上に絶縁膜を形成する工程と、  
該絶縁膜に前記凹状に窪んだ部分に対応するレジストパターンをフォトリソグラフィで形成する工程と、  
該レジストパターンを介して所定時間のエッチングを行い前記凹状に窪んだ部分を形成する工程とを備えたことを特徴とする電気光学装置の製造方法。

【請求項15】 請求項9に記載の電気光学装置の製造方法であって、

前記一方の基板上の所定領域に前記遮光膜を形成する工程と、

前記一方の基板及び遮光膜上に第1絶縁膜を形成する工程と、

該第1絶縁膜に前記凹状に窪んだ部分に対応するレジストパターンをフォトリソグラフィで形成する工程と、  
該レジストパターンを介してエッチングを行い前記凹状に窪んだ部分に対応する前記第1絶縁膜を除去する工程と、

前記一方の基板及び第1絶縁膜上に第2絶縁膜を形成する工程とを備えたことを特徴とする電気光学装置の製造方法。

【請求項16】 請求項1から15に記載の電気光学装置を備えたことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタ（以下、適宜TFTと称す。）駆動、薄膜ダイオード（以下、適宜TFDと称す。）駆動等によるアクティブマトリクス駆動方式やパッシブマトリクス駆動方式の液晶装置等の電気光学装置及びその製造方法、並びにこれを用いた電子機器の技術分野に属する。

【0002】

【従来の技術】従来、この種の電気光学装置は、一对の基板間に電気光学物質が封入されてなり、基板上には、複数の走査線及びデータ線が相交差するように配列されている。例えばTFT駆動によるアクティブマトリクス駆動方式の場合には、一方の基板上において、これらの走査線及びデータ線の各交点に対応して複数のTFT及び複数の画素電極が設けられ、走査線がTFTのゲート電極に接続され、データ線がTFTのソース電極に接続され、画素電極がTFTのドレイン電極に接続される。他方の基板には、対向電極（共通電極）がその全面に形成される。

【0003】このように走査線、データ線、画素電極、対向電極等が形成された両基板間には、シール材により囲まれた空間に電気光学物質、例えば液晶が封入され、液晶層が形成される。シール材は、両基板をそれらの周辺で貼り合わせるための、例えば光硬化性樹脂や熱硬化性樹脂からなる接着剤である。ここで封入される電気光学物質は、例えば一種又は数種類のネマティック液晶を

混合したものであり両基板表面に形成された配向膜の間で90度等の所定角度だけ傾けられた配向状態をとる。仮に、液晶の厚みが電気光学物質の性質に応じて予め設定された適当な値範囲に入っていなければ、安定して所定角度だけ傾けられた配向状態をとることはできず、液晶の配向不良の原因、即ち画質低下の原因となる。従って、液晶等の電気光学物質の厚みを規定する基板間ギャップを制御することが、電気光学装置を製造する上で重要課題となる。

【0004】そこで従来は、次のように基板間ギャップを制御している。

【0005】先ず、例えば、直視型の液晶ディスプレイ用の10インチ程度の比較的大型の電気光学装置の場合には、画像表示領域に表示される画像はそのまま視認されるので、電気光学物質である液晶中に微少な不純物を混入しても、液晶の配向不良による視認できる程度の白抜けの原因とはならない。このため、液晶中に数 $\mu\text{m}$ 程度の所定径を持つグラスファイバ或いはガラスビーズ等のギャップ材（スペーサ）を入れて、基板間ギャップを制御している。

【0006】また、例えば液晶プロジェクタに用いられる液晶ライトバルブ用の1インチ程度の比較的小型の電気光学装置の場合には、画像が拡大投影される。従って、上述のように液晶中にギャップ材を入れてしまうと、ギャップ材による液晶の配向不良箇所も拡大投影されて、拡大後の表示画面において白抜けとして視認されてしまう。このため、液晶中ではなく前述したシール材中にギャップ材を入れて、基板間ギャップを制御している。逆に、このような小型の電気光学装置であれば、画像表示領域の周囲に位置するシール材により接着された領域（以下、“シール領域”という）において基板間ギャップを制御すれば、画像表示領域における基板間ギャップを制御することも可能となるのである。

【0007】ところで、前述の走査線に走査信号を供給する走査線駆動回路やデータ線に画像信号を供給するデータ線駆動回路は、シール材により囲まれた液晶封入領域の外側に設けられるのが一般的である。従って、シール領域下には、走査線やデータ線の延設方向に配置された引き出し配線が通されることになる。より具体的には、シール領域下にある基板や、層間絶縁膜上などにAl（アルミニウム）等の金属膜や低抵抗のポリシリコン膜などからなる引き出し配線が設けられる。

【0008】従って、シール領域下では、シール材に接する最上層の表面（例えば、画素電極形成用の第3層間絶縁膜の表面や配向膜の表面）において、各引き出し配線が通る箇所が凸状に突出している。更に、このシール領域の表面は、引き出し配線の厚みに応じて、各画素領域において液晶に接する最上層の表面（例えば、配向膜の表面）と比較して高くなっており、シール領域の表面と各画素領域の表面との間には段差が発生している。例

えば、A1膜等からなるデータ線は300~400nm程度の厚みがあり、ポリシリコン膜等からなる走査線も、300~400nm程度の厚みがあり、画素領域における層構成は基本的にこれらの配線がなく且つ画素電極を構成するITO (Indium Tin Oxide) 膜がある点で主に相違するので、この段差は、これらの配線の合計厚である約600~800nm程度にもなる。

【0009】この結果、前述のようにシール材にギャップ材を混入する場合、基板間ギャップを例えば4μm程度にするためには、ギャップ材の径は、これよりも段差の分だけ小さい例えば3μm程度とする必要がある。

【0010】

【発明が解決しようとする課題】電気光学装置では、高画質化や小型化という一般的要請に沿うように、基板上において配線を微細化すると共に相隣接する画素電極間の間隔を狭くしつつ、画素開口率（画像表示領域において全体面積に対する、有効に画像が表示される領域の比率）を高めることが望まれている。

【0011】しかしながら、このように配線の微細化が進むに連れて、各引き出し配線の機械的強度は低下する。しかるに、基板間ギャップを制御するためのギャップ材は前述のようにファイバ状やビーズ状であり、シール材により両基板を一体に保とうとする力は、シール領域下における基板面全体に均等に係るのではなく、線状領域（ファイバ状の場合）や点状領域（ビーズ状の場合）に対してギャップ材による応力が集中してかかることになる。

【0012】より具体的には、図24(a)は、シール領域の配線301の平面図を示し、図24(b)は図24(a)のA-A'断面図に示すように円柱状（棒状）のガラスファイバ等のファイバ状のギャップ材300を、TFTアレイ基板10及び対向基板20の間のシール材52に混入させてギャップ制御を行うとする。この場合、上述の如く微細化されて幅L1を持つ引き出し配線301に層間絶縁膜を介して、幅L2（但し、L2>L1）を持つギャップ材300が載ることになる。すると、個々のギャップ材300の載り方によっては、図24(b)のように、ギャップ材300が1本の引き出し配線301を跨いだり、これに近い状態となったりする。すると、ギャップ材300の側線に沿った線状領域に応力集中が起こるので、引き出し配線301は比較的容易に断線してしまうのである。

【0013】また、別の例として、図25(a)はシール領域の引き出し配線301の平面図を示し、図25(b)は図25(a)のB-B'断面図に示すように球状のガラスビーズやシリカボールからなるビーズ状のギャップ材300'を、シール材52に混入させてギャップ制御を行うとする。この場合、上述の如く微細化されて幅L1を持つ引き出し配線301に層間絶縁膜を介して、球状のギャップ材300'が載ることになる。する

と、図25(b)のように、ギャップ材300'の接点における点状領域に応力集中が起こるので、引き出し配線301は比較的容易に突き破られたり、特に引き出し配線301下に絶縁膜を介して他の引き出し配線が存在している場合などには、断線せずとも当該絶縁膜を局部的に突き破ってショートする可能性が高くなってしまいうのである。

【0014】以上のように配線の微細化に伴って、シール領域下において凸状に突出した箇所をなす引き出し配線部分は、その上に載せられたファイバ状やビーズ状のギャップ材による応力集中に耐え切れなくなり、断線やショートなどの配線不良を引き起こす可能性が高くなるという問題点がある。

【0015】他方、相隣接する画素電極間の間隔が狭くなると、横方向電界（基板の面に沿った方向の電界）の増加による液晶の配向不良（ディスクリネーション）が発生するようになる。これを防ぐには、基板間ギャップを狭めて縦方向電界（基板面に垂直な方向の電界）を相対的に強めれば良い。しかしながら、前述のシール領域と各画素領域との段差により、画素領域における基板間ギャップを、例えば4μm程度から3μm程度に狭めるためには、ギャップ材の径を3μm程度から2μm程度に小さくする必要性が生じる。ところが、このように小さな径のギャップ材を精度良く作成することは現在の当該技術分野では極めて困難である。また、ギャップが狭まると、シール材に含まれる光硬化性樹脂の接着力が低下してしまう。この結果、仮に基板間ギャップをこのように狭めると、ギャップ制御が困難となると共にギャップ材のコスト増加や接着強度の低下を招くという問題点が生じる。更に、画素領域における基板間ギャップを、例えば4μm程度から1μm程度に狭めると、ギャップ材の径を3μm程度から0μm程度に小さくする必要性が生じ、即ち、シール材にギャップ材を混入する技術そのものが成り立たなくなるという問題点も生じる。

【0016】本発明は上述した問題点に鑑みなされたものであり、シール領域下における配線不良を低減すると共に、基板間ギャップを精度良く制御できる電気光学装置及びその製造方法並びに当該電気光学装置を備えた電子機器を提供することを課題とする。

【0017】

【課題を解決するための手段】請求項1に記載の電気光学装置は上記課題を解決するために、一対の基板間に電気光学物質が封入され、該基板の該電気光学物質に面する側に相交差して配列された複数のデータ線及び複数の走査線と、前記基板を相互に接着するギャップ材混入のシール材と、前記シール材の形成領域において前記データ線及び走査線の少なくとも一方の延設方向に配置された複数の引き出し配線と、前記基板と前記引き出し配線との間に配置された凹状に窪んだ領域を有する層間絶縁膜とを備えており、前記引き出し配線は、前記シール材

の形成領域において前記層間絶縁膜の凹状に窪んだ領域に形成されていることを特徴とする。

【0018】請求項1に記載の電気光学装置によれば、一对の基板は相互に接着されており、シール材に混入されたギャップ材により、基板間のギャップは制御されている。従って、データ線及び走査線によりマトリクス駆動される所定層厚の電気光学物質を備えた、例えばTFT駆動、TFD駆動等のアクティブマトリクス駆動方式の電気光学装置或いはパッシブマトリクス駆動方式の電気光学装置として構成される。ここで、層間絶縁膜は、シール領域において引き出し配線に対向する部分が凹状に窪んで形成されている。従って、データ線や走査線が形成された基板側のシール領域においてシール材に接する層間絶縁膜等の最上層の表面（以下、単に“シール領域の表面”という）において引き出し配線上に形成される当該引き出し配線の厚みによる凸状の突出の高さは、当該凹状に窪んだ部分の深さに応じて低められることになる。即ち、シール領域の表面における平坦化が図られる。従って、平坦化されたシール領域上でシール材に混入されたギャップ材を介してかかる応力は面上に様に分散される。従って、前述の図24及び図25に示したような引き出し配線が断線したりショートしたりする可能性は大きく低減される。また、このシール領域の表面における高さの差を実質的に零にせず、多少なりとも小さくすれば、同様の作用により、引き出し配線が断線したりショートしたりする可能性は多少なりとも低減される。

【0019】更に、データ線や走査線が形成された基板側の各画素領域において電気光学物質に接する例えば、配向膜等の最上層の表面（以下、単に“画素領域の表面”という）は、前述のようにシール領域の表面のうち引き出し配線上に位置しない部分と殆ど同じ高さを持つので、このようにシール領域の表面を平坦化すると、画素領域の表面とシール領域の表面の高さの差も小さくなる。このため、従来のように、基板間ギャップよりも1 $\mu$ m程度小さい径を持つギャップ材を使用する必要がなくなり、基板間ギャップと同程度の径を持つギャップ材を使用することが可能となる。このことは、前述のように、画素の微細化による液晶の配向不良を防ぐべく基板間ギャップを狭める場合に、大きな効果が期待できる。

【0020】請求項2に記載の電気光学装置は上記課題を解決するために請求項1に記載の電気光学装置において、前記複数のデータ線及び複数の走査線は、前記基板のうちの一方に設けられており、該一方の基板上に、前記各データ線及び前記各走査線に接続された薄膜トランジスタと、該薄膜トランジスタに接続された画素電極と、前記薄膜トランジスタの少なくともチャネル領域を前記一方の基板の側から見て各々重なる位置に設けられた遮光膜と、前記走査線に平行に配設され前記画素電極に所定容量を各々付与する容量線とを更に備えており、

前記層間絶縁膜は、前記一方の基板上の前記遮光膜が形成されている領域においては前記遮光膜上に且つ前記遮光膜が形成されていない領域においては前記一方の基板上に設けられており、前記薄膜トランジスタ、前記データ線、前記走査線及び前記容量線のうち少なくとも一つに対向する部分が前記基板のうちの他方の側から見て凹状に窪んで形成された第1層間絶縁膜を含み、該第1層間絶縁膜は、前記シール領域において前記引き出し配線に対向する部分が凹状に窪んで形成されたことを特徴とする。

【0021】請求項2に記載の電気光学装置によれば、遮光膜は、複数のTFTの少なくともチャネル領域を一方の基板の側から見て覆う位置において一方の基板に設けられている。従って、一方の基板の側からの戻り光等が当該チャネル領域に入射する事態を未然に防ぐことができ、光電流の発生によりTFTの特性が劣化することはない。そして、第1層間絶縁膜は、一方の基板及び遮光膜の上方に設けられている。従って、遮光膜からTFT等を電気的に絶縁し得ると共に遮光膜がTFT等を汚染する事態を未然に防げる。ここで特に、第1層間絶縁膜は、TFT、データ線、走査線及び容量線のうち少なくとも一つに対向する部分が他方の基板の側から見て凹状に窪んで形成されているので、従来のように第1層間絶縁膜を平らに形成してその上にこれらのTFT等を形成する場合と比較すると、凹状に窪んだ部分の深さに応じて、これらのTFT等が形成された領域と形成されていない領域との合計膜厚の差が減少し、画素部における平坦化が促進される。即ち、従来のように、画素領域における平坦化膜のスピンコート等による塗布、平坦化された絶縁膜の形成等の工程を、省略又は簡略化できる。

【0022】請求項3に記載の電気光学装置は上記課題を解決するために請求項2に記載の電気光学装置において、前記シール領域において、前記データ線の延設方向に配置されたデータ線側引き出し配線をなす金属膜に対しては、前記走査線をなす導電性のポリシリコン膜及び導電性の前記遮光膜の少なくとも一方が前記層間絶縁膜を介して積層形成されていると共に、前記走査線の延設方向に配置された走査線側引き出し配線をなす前記ポリシリコン膜に対しては、前記金属膜及び前記遮光膜の少なくとも一方が前記層間絶縁膜を介して積層形成されていることを特徴とする。

【0023】請求項3に記載の電気光学装置によれば、シール領域において、前記データ線の延設方向に配置されたデータ線側引き出し配線は、例えばA1（アルミニウム）等の金属膜から構成されており、走査線の延設方向に配置された走査線側引き出し配線は、導電性のポリシリコン膜から構成されており、遮光膜は、W（タングステン）等の高融点金属膜から構成されている。ここで、シール領域において、データ線側引き出し配線は、一般に画像表示領域のデータ線の延設方向に沿った上下



の辺から引き出されており、走査線側引き出し配線は、一般に画像表示領域の走査線の延設方向に沿った左右の辺から引き出されている。従って、仮にデータ線側引き出し配線をなす金属膜と、走査線側引き出し配線をなすポリシリコン膜との厚みが相異なれば、画像表示領域の上下の辺におけるシール領域の表面の高さと左右の辺におけるシール領域の表面の高さとが相異なるので、シール材の全体に混入されるギャップ材による基板間ギャップの制御が不安定なものとなってしまう。そこで、本発明では、データ線側引き出し配線に対しては、走査線側をなす導電性のポリシリコン膜を積層し、他方、走査線側引き出し配線に対しては、データ線をなす金属膜を積層する。すると、画像表示領域の上下の辺におけるシール領域の表面の高さと左右の辺におけるシール領域の表面の高さは一致するので、シール材の全体に混入されるギャップ材による基板間ギャップの制御が安定なものとなる。

【0024】更に、本発明では、遮光膜から延設された引き出し配線が画像表示領域の左右の辺又は上下の辺におけるシール領域下で、走査線又はデータ線側引き出し配線に積層された形で設けられる場合には、当該遮光膜の引き出し配線が設けられていない辺側のシール領域下にも遮光膜を積層する。すると、遮光膜の引き出し配線がある場合にも、画像表示領域の上下の辺におけるシール領域の表面の高さと左右の辺におけるシール領域の表面の高さは一致するので、シール材の全体に混入されるギャップ材による基板間ギャップの制御が安定なものとなる。

【0025】請求項4に記載の電気光学装置は上記課題を解決するために請求項3に記載の電気光学装置において、前記データ線の延設方向に配置された前記データ線側引き出し配線をなす前記金属膜は、積層形成された前記ポリシリコン膜及び前記遮光膜の少なくとも一方とコンタクトホールを介して電気接続されており、前記データ線引き出し配線の少なくとも一部は、前記金属膜と共に前記ポリシリコン膜及び前記遮光膜の少なくとも一方からなる冗長構造を有することを特徴とする。

【0026】請求項4に記載の電気光学装置によれば、データ線側引き出し配線をなす金属膜に積層形成された導電性のポリシリコン膜及び遮光膜の少なくとも一方は、コンタクトホールを介してデータ線側引き出し配線に電気接続されており、データ線は、積層された2つ又は3つの導電膜からなる冗長構造を有する。従って、例えば、シール領域下においてギャップ材による応力を受けて配線が断線しても、或いは、基板に垂直な方向に一つの導電膜が層間絶縁膜を破って他の導電膜にショートしても配線不良となる可能性は非常に低くなる。

【0027】請求項5に記載の電気光学装置は上記課題を解決するために請求項3又は4に記載の電気光学装置において、前記走査線側引き出し配線をなす前記ポリシ

リコン膜は、積層形成された前記金属膜及び前記導電性の遮光膜の少なくとも一方とコンタクトホールを介して電気接続されており、前記走査線側引き出し配線の少なくとも一部は、前記ポリシリコン膜と共に前記金属膜及び前記遮光膜の少なくとも一方からなる冗長構造を有することを特徴とする。

【0028】請求項5に記載の電気光学装置によれば、走査線側引き出し配線をなす導電性のポリシリコン膜に積層形成された金属膜及び前記遮光膜の少なくとも一方は、コンタクトホールを介して走査線側引き出し配線に電気接続されており、走査線は、積層された2つ又は3つの導電膜からなる冗長構造を有する。

【0029】請求項6に記載の電気光学装置は上記課題を解決するために請求項3から5のいずれか一項に記載の電気光学装置において、前記データ線側引き出し配線をなす前記金属膜に対して積層形成された前記ポリシリコン膜及び前記遮光膜の少なくとも一方は、前記シール領域において前記基板を介して入射される光がシール材に透過可能なように網目状又はストライプ状の平面パターンを備えており、前記走査線側引き出し配線をなす前記ポリシリコン膜に対して積層形成された前記金属膜及び前記遮光膜の少なくとも一方は、前記シール領域において前記基板を介して入射される光がシール材に透過可能なように網目状又はストライプ状の平面パターンを備えたことを特徴とする。

【0030】請求項6に記載の電気光学装置によれば、シール領域において、データ線側引き出し配線に対して積層形成された導電性のポリシリコン膜及び遮光膜の少なくとも一方は、網目状又はストライプ状の平面パターンを備えているので、当該電気光学装置の製造工程において、光硬化性樹脂等の光硬化性材料からなるシール材を用いた場合に、基板を介して光を入射すれば、この積層構造における網目の間或いはストライプの間を通してシール材に光を照射することが出来る。従って、光硬化性樹脂等からなるシール材を良好に光硬化させることが出来る。

【0031】請求項7に記載の電気光学装置は上記課題を解決するために請求項2から6のいずれか一項に記載の電気光学装置において、前記遮光膜は、定電位源に接続されていることを特徴とする。

【0032】請求項7に記載の電気光学装置によれば、遮光膜は定電位源に接続されているので、遮光膜は定電位とされる。従って、遮光膜に対向配置されるTFTに対し遮光膜の電位変動が悪影響を及ぼすことはない。

【0033】請求項8に記載の電気光学装置は上記課題を解決するために請求項1から7のいずれか一項に記載の電気光学装置において、前記層間絶縁膜は、単層から構成されていることを特徴とする。

【0034】請求項8に記載の電気光学装置によれば、層間絶縁膜を単層から構成すればよいので、従来の場合



と比較しても層の数を増加させる必要が無く、凹状に窪んだ部分とそうでない部分との膜厚を制御すれば、当該層間絶縁膜が得られる。

【0035】請求項9に記載の電気光学装置は上記課題を解決するために請求項1から7のいずれか一項に記載の電気光学装置において、前記層間絶縁膜は、単層部分と多層部分とから構成されており、前記単層部分が前記凹状に窪んだ部分とされており、前記多層部分が前記凹状に窪んでいない部分とされていることを特徴とする。

【0036】請求項9に記載の電気光学装置によれば、単層部分が凹状に窪んだ部分とされているので、凹状に窪んだ部分における層間絶縁膜の膜厚を、単層部分の膜厚として、比較的容易にして確実に高精度に制御できる。従って、この凹状に窪んだ部分における層間絶縁膜の膜厚を非常に薄くすることも可能となる。

【0037】請求項10に記載の電気光学装置は上記課題を解決するために請求項1から9のいずれか一項に記載の電気光学装置において、前記層間絶縁膜は、酸化シリコン膜又は窒化シリコン膜から構成されていることを特徴とする。

【0038】請求項10に記載の電気光学装置によれば、酸化シリコン膜又は窒化シリコン膜からなる層間絶縁膜により、遮光膜からTFT等を電氣的に絶縁できると共に遮光膜からの汚染を防止できる。しかも、このように構成された層間絶縁膜は、TFTの下地膜に適している。

【0039】請求項11に記載の電気光学装置は上記課題を解決するために請求項2から10のいずれか一項に記載の電気光学装置において、前記遮光膜は、Ti(チタン)、Cr(クロム)、W(タングステン)、Ta(タンタル)、Mo(モリブデン)及びPb(鉛)のうちの少なくとも一つを含むことを特徴とする。

【0040】請求項11に記載の電気光学装置によれば、遮光膜は、不透明な高融点金属であるTi、Cr、W、Ta、Mo及びPbのうちの少なくとも一つを含む、例えば、金属単体、合金、金属シリサイド等から構成されるため、TFTアレイ基板上の遮光膜形成工程の後に行われるTFT形成工程における高温処理により、遮光膜が破壊されたり溶融しないようにできる。

【0041】請求項12に記載の電気光学装置は上記課題を解決するために請求項1から11のいずれか一項に記載の電気光学装置において、前記ギャップ材は、前記基板間のギャップに対応する所定径を持つガラスファイバ及びガラスビーズのいずれか一方からなることを特徴とする。

【0042】請求項12に記載の電気光学装置によれば、ガラスファイバ或いはガラスビーズがギャップ材としてシール材中に混入されているので、シール領域の表面に対して、線状領域や点状領域の応力集中が起きる。しかし、シール領域の表面における引き出し配線の厚み

に起因した凸状の突出は、層間絶縁膜の凹状に窪んだ部分の深さに応じて平坦化されている。このため、当該応力集中により引き出し配線が断線したりショートしたりする可能性は低減される。

【0043】請求項13に記載の電気光学装置は上記課題を解決するために請求項1から12のいずれか一項に記載の電気光学装置において、前記層間絶縁膜の凹状に窪んだ側壁部分はテーパ状に形成されていることを特徴とする。

【0044】請求項13に記載の電気光学装置によれば、層間絶縁膜の凹状に窪んだ側壁部分はテーパ状に形成されているので、電気光学装置の製造工程において、この凹状に窪んだ部分内に引き出し配線をフォトリソグラフィ工程、エッチング工程等により形成し、更にその上に絶縁膜や導電膜等の他の膜を積層する際に、この凹状に窪んだ部分内に残る電極残り等のエッチング後の残留物を低減することが出来る。このため、所定パターンの引き出し配線を的確に凹状に窪んだ部分内に形成することできる。

【0045】請求項14に記載の電気光学装置の製造方法は上記課題を解決するために請求項8に記載の電気光学装置の製造方法であって、前記一方の基板上の所定領域に前記遮光膜を形成する工程と、前記一方の基板及び遮光膜上に絶縁膜を形成する工程と、該絶縁膜に前記凹状に窪んだ部分に対応するレジストパターンをフォトリソグラフィで形成する工程と、該レジストパターンを介して所定時間のエッチングを行い前記凹状に窪んだ部分を形成する工程とを備えたことを特徴とする。

【0046】請求項14に記載の電気光学装置の製造方法によれば、まず、一方の基板上の所定領域に遮光膜が形成され、一方の基板及びこの遮光膜上に絶縁膜が形成される。次に、該絶縁膜に凹状に窪んだ部分に対応するレジストパターンが、フォトリソグラフィで形成され、その後、ドライエッチング又はウエットエッチングが、このレジストパターンを介して所定時間だけ行われて、凹状に窪んだ部分が形成される。従って、ドライエッチング又はウエットエッチングの時間管理により、凹状に窪んだ部分の深さや膜厚を制御できる。特にウエットエッチングを行えば、凹状に窪んだ側壁部分にテーパ形状を設けることが出来るので便利である。

【0047】請求項15に記載の電気光学装置の製造方法は上記課題を解決するために請求項9に記載の電気光学装置の製造方法であって、前記一方の基板上の所定領域に前記遮光膜を形成する工程と、前記一方の基板及び遮光膜上に第1絶縁膜を形成する工程と、該第1絶縁膜に前記凹状に窪んだ部分に対応するレジストパターンをフォトリソグラフィで形成する工程と、該レジストパターンを介してエッチングを行い前記凹状に窪んだ部分に対応する前記第1絶縁膜を除去する工程と、前記一方の基板及び第1絶縁膜上に第2絶縁膜を形成する工程とを

備えたことを特徴とする。

【0048】請求項15に記載の電気光学装置の製造方法によれば、まず、一方の基板上の所定領域に遮光膜が形成され、一方の基板及びこの遮光膜上に第1絶縁膜が形成される。次に、この第1絶縁膜に、凹状に窪んだ部分に対応するレジストパターンが、フォトリソグラフィで形成され、その後、ドライエッチング又はウエットエッチングが、このレジストパターンを介して行われて、凹状に窪んだ部分に対応する第1絶縁膜が除去される。その後、一方の基板及びこの第1絶縁膜上に第2絶縁膜が形成される。この結果、凹状に窪んだ部分における第1層間絶縁膜の膜厚を、第2絶縁膜の膜厚の管理により、比較的容易にして確実且つ高精度に制御できる。この場合にもウエットエッチングを行えば、凹状に窪んだ部分にテーパーを設けることが出来るので便利である。

【0049】請求項16に記載の電子機器は上記課題を解決するために請求項1から13に記載の電気光学装置を備えたことを特徴とする。

【0050】請求項16に記載の電子機器によれば、電子機器は、上述した本願発明の電気光学装置を備えており、配線不良が低減され、基板間のギャップ制御が精度良く行われた信頼性の高い電気光学装置により高品位の画像表示が可能となる。

【0051】本発明のこのような作用及び他の利得は次に説明する実施形態から明らかにする。

【0052】

【発明の実施の形態】以下、本発明の実施形態を図面に基いて説明する。尚、本発明の実施形態では、電気光学装置の一例として液晶装置を用いて説明する。

【0053】（液晶装置）本発明による液晶装置の実施形態の構成及び動作について図1から図11に基づいて説明する。

【0054】まず、液晶装置の全体構成を図1及び図2を参照して説明する。尚、図1は、TFTアレレイ基板をその上に形成された各構成要素と共に対向基板の側から見た平面図であり、図2は、対向基板を含めて示す図1のH-H'断面図である。

【0055】図1において、TFTアレレイ基板10の上には、シール材52が対向基板20の縁に沿って設けられており、その内側に並行して、遮光性の額縁53としての第3遮光膜が設けられている。対向基板20はシール材52によりTFTアレレイ基板10に固着されている。シール材52の外側の領域には、データ線駆動回路101及び外部回路接続端子102がTFTアレレイ基板10の一辺に沿って設けられており、走査線駆動回路104が、この一辺に隣接する2辺に沿って設けられている。更にTFTアレレイ基板10の残る一辺には、画像表示領域の両側に設けられた走査線駆動回路104間をつなぐための複数の配線105が設けられている。尚、後述の走査線の信号遅延が問題にならない場合は、走査線

駆動回路104は一辺のみに形成しても良い。また、データ線駆動回路101を画像表示領域の両側に設けてもよいことは言うまでもない。また、対向基板20のコーナ部の少なくとも一個所において、TFTアレレイ基板10と対向基板20との間で電氣的に導通をとるための上下導通材106が設けられている。

【0056】データ線駆動回路101及び走査線駆動回路104は配線により後述のデータ線及び走査線に各々電気接続されている。データ線駆動回路101には、図示しない制御回路から即時表示可能な形式に変換された画像信号が入力され、走査線駆動回路104がパルスの走査線に順番にゲート電圧を送るのに合わせて、データ線駆動回路101は画像信号に応じた信号電圧をデータ線に送る。そして、データ線及び走査線の交点に対応する各画素部には、画素スイッチング用のTFT30が設けられている。TFT30は、ポリシリコン(p-Si)タイプのTFTであるので、TFT30の形成時に同一工程で、データ線駆動回路101及び走査線駆動回路104を形成することも可能であり、製造上有利である。

【0057】図2において、電気光学物質としての液晶層50は、例えば一種又は数種類のネマティック液晶を混合した液晶からなる。シール材52は、TFTアレレイ基板10及び対向基板20をそれらの周辺で貼り合わせるための、例えば光硬化性樹脂や熱硬化性樹脂からなる接着剤であり、両基板間の距離（基板間ギャップ）を所定値とするためのグラスファイバー或いはガラスビーズ等のギャップ材（スペーサ）が混入されている。また、対向基板20の液晶層50に面する側には、ブラックマトリクス等の第2遮光膜23等が設けられている。

【0058】次に、液晶装置の画素領域における構成について、図3から図5を参照して説明する。図3は、データ線、走査線、画素電極、遮光膜等が形成されたTFTアレレイ基板の隣接した画素群の平面図である。図4は、図3のA-A'断面对向基板等と共に示す液晶装置の一実施形態の断面図であり、図5は、図3のC-C'断面对向基板等と共に示す液晶装置の断面図である。尚、図4及び図5においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0059】図3において、液晶装置のTFTアレレイ基板上には、マトリクス状に複数の透明な画素電極9a（点線部9a'により輪郭が示されている）が設けられており、画素電極9aの縦横の境界に各々沿ってデータ線6a、走査線3a及び容量線3bが設けられている。データ線6aは、コンタクトホール5aを介して半導体層1aのうち後述のソース領域に電気接続されており、画素電極9aは、コンタクトホール8を介して半導体層1aのうち後述のドレイン領域に電気接続されている。また、半導体層1aのうち後述のチャネル領域1a'

(図中右下りの斜線の領域)に対向するように走査線3aが配置されている。そして、図中右上がりの斜線で示した領域に画素部における第1遮光膜11aが設けられている。即ち第1遮光膜11aは、画素部において、半導体層1aのチャネル領域1a'を含むTFT、データ線6a、走査線3a及び容量線3bをTFTアレ基板の側から見て各々重なる位置に設けられている。

【0060】図3において特に、データ線6a、走査線3a及び容量線3bを含む太線で囲まれた網目状の領域においては、後述の第1層間絶縁膜が凹状に窪んで形成されており、それ以外の画素電極9aにほぼ対応する領域においては、当該第1層間絶縁膜が相対的に凸状に形成されている。尚、第1層間絶縁膜を凹状に窪んで形成するのは、少なくともデータ線6a、走査線3a及び容量線3bの領域下に重なる一部分、或いは全ての領域を含むようにする。

【0061】図4及び図5に示すように、液晶装置100は、透明な一方の基板の一例を構成するTFTアレ基板10と、これに対向配置される透明な他方の基板の一例を構成する対向基板20とを備えている。TFTアレ基板10は、例えば石英基板からなり、対向基板20は、例えばガラス基板や石英基板からなる。TFTアレ基板10には、画素電極9aが設けられており、その上側には、ラビング処理等の所定の配向処理が施された配向膜19が設けられている。画素電極9aは例えば、ITO (Indium Tin Oxide)膜などの透明導電性薄膜からなる。また配向膜19は例えば、ポリイミド薄膜などの有機薄膜からなる。

【0062】他方、対向基板20には、その全面に渡って対向電極21が設けられており、その下側には、ラビング処理等の所定の配向処理が施された配向膜22が設けられている。対向電極21は例えば、ITO膜などの透明導電性薄膜からなる。また配向膜22は、ポリイミド薄膜などの有機薄膜からなる。

【0063】TFTアレ基板10には、図4に示すように、各画素電極9aに隣接する位置に、各画素電極9aをスイッチング制御するTFT30が設けられている。

【0064】対向基板20には、更に図3及び図4に示すように、各画素の開口領域以外の領域に第2遮光膜23が設けられている。このため、対向基板20の側から投射光がTFT30の半導体層1aのチャネル領域1a'やソース側LDD (Lightly Doped Drain) (低濃度ソース)領域1b及びドレイン側LDD (低濃度ドレイン)領域1cに侵入することはない。更に、第2遮光膜23は、コントラストの向上、色材の混色防止などの機能を有する。尚、第2遮光膜23は、対向基板20の側ではなく、TFTアレ基板10上に形成してもよい。

【0065】このように構成され、画素電極9aと対向

電極21とが対面するように配置されたTFTアレ基板10と対向基板20との間には、シール材52 (図1及び図2参照)により囲まれた空間に液晶が封入され、液晶層50が形成される。液晶層50は、画素電極9aからの電界が印加されていない状態で配向膜19及び22により所定の配向状態を採る。

【0066】図4に示すように、TFT30に各々対向する位置においてTFTアレ基板10と各TFT30との間には、第1遮光膜11aが各々設けられている。第1遮光膜11aは、好ましくは不透明な高融点金属であるTi、Cr、W、Ta、Mo及びPbのうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等から構成される。このような材料から構成すれば、TFTアレ基板10上の第1遮光膜11aの形成工程の後に行われるTFT30の形成工程における高温処理により、第1遮光膜11aが破壊されたり溶融しないようにできる。第1遮光膜11aが形成されているので、TFTアレ基板10の側からの戻り光等がTFT30のチャネル領域1a'や低濃度ソースLDD領域1b、低濃度ドレイン領域1cに入射する事態を未然に防ぐことができ、光電流の発生によりTFT30の特性が劣化することはない。

【0067】更に、第1遮光膜11aと複数のTFT30との間には、第1絶縁膜12及び第2絶縁膜13から構成された第1層間絶縁膜12'が設けられている。第1層間絶縁膜12'は、TFT30を構成する半導体層1aを第1遮光膜11aから電気的に絶縁するために設けられるものである。更に、第1層間絶縁膜12'は、TFTアレ基板10の全面に形成されることにより、TFT30のための下地膜としての機能をも有する。即ち、TFTアレ基板10の表面の研磨時における荒れや、洗浄後に残る汚れ等でTFT30の特性の劣化を防止する機能を有する。

【0068】ここで特に図3及び図4に示すように、第1層間絶縁膜12'は、TFTアレ基板上の第1遮光膜11aが形成されている領域においては第1遮光膜11a上に形成されており、第1遮光膜11aが形成されていない領域においてはTFTアレ基板10上に設けられている。そして、TFT30、データ線6a、走査線3a及び容量線3bに対向する部分が対向基板20の側から見て凹状に窪んで形成されている。

【0069】本実施形態では特に、第1層間絶縁膜12'は、単層部分と2層部分とから構成されており、第2絶縁膜13の単層部分が薄くなって凹状に窪んだ部分とされており、第1絶縁膜12及び第2絶縁膜13の2層部分が厚くなって凹状に窪んでいない部分とされている。このように、第1層間絶縁膜12'を構成すると、凹状に窪んだ部分における第1層間絶縁膜12'の膜厚を、第2絶縁膜13の膜厚として、比較的容易にして確実且つ高精度に制御できる。従って、この凹状に窪んだ

部分における第1層間絶縁膜12'の膜厚(即ち、第2絶縁膜13の膜厚)を非常に薄くすることも可能となる。

【0070】以上の如く構成された第1層間絶縁膜12'により、第1遮光膜11aからTFT30等を電気的に絶縁し得ると共に第1遮光膜11aがTFT30等を汚染する事態を未然に防げる。ここで特に、第1層間絶縁膜12'は、TFT30、データ線6a、走査線3a及び容量線3bに対向する部分が凹状に窪んで形成されているので、従来のように第1層間絶縁膜12'を平らに形成してその上にこれらのTFT等を形成する場合と比較すると、凹状に窪んだ部分の深さに応じて、これらのTFT等が形成された領域と形成されていない領域との合計膜厚の差が減少し、画素部における平坦化が促進される。

【0071】例えば、この合計膜厚の差を実質的に零にするように凹状に窪んだ部分の深さを設定すれば、その後の平坦化処理を省略できる。或いは、この合計膜厚の差を多少なりとも減少させるように凹状に窪んだ部分の深さを設定すれば、その後の平坦化処理の負担を軽減できる。より好ましくは、第1層間絶縁膜12'は、第1遮光膜11a、半導体層1a、容量線3b及びデータ線3aの合計膜厚に対応した深さで凹状に窪んで形成される。このように第1層間絶縁膜12'を構成すれば、データ線6aの上面とこれに隣接した第2層間絶縁膜4の上面とをほぼ合わせることが出来、画素電極9aを形成する前の画素部における平坦化が促進される。

【0072】但し、第1層間絶縁膜12'は、第1遮光膜11a、半導体層1a及び容量線3bの合計膜厚に対応した深さで凹状に窪んで形成されてもよい。このように第1層間絶縁膜12'を構成すれば、第2層間絶縁膜4の上面をほぼ平坦に出来、画素電極9aを形成する前の画素部における平坦化が促進される。或いは、第1層間絶縁膜12'は、第1遮光膜11a、半導体層1a及び容量線3bのうちの一つ又は2つに対向する領域のみが凹状に窪んで形成されてもよく、画素部における各種の平坦化方式が採用可能である。

【0073】尚、第1層間絶縁膜12'を2層から構成せずに、単層から構成してもよい。このように単層から構成すれば、従来の場合と比較しても層の数を増加させる必要が無い。凹状に窪んだ部分とそうでない部分との膜厚を後述の製造プロセス中の説明にあるように、例えばエッチング時間管理により制御すれば、このような単層からなる第1層間絶縁膜が得られる。

【0074】再び図4において、第1層間絶縁膜12'は、例えば、NSG(ノンドープシリケートガラス)、PSG(リンシリケートガラス)、BSG(ボロンシリケートガラス)、BPSG(ボロンリンシリケートガラス)などの高絶縁性ガラス又は、酸化シリコン膜、窒化シリコン膜等からなる。

【0075】本実施形態では図3に示したように、半導体層1aの高濃度ドレイン領域1eは、データ線6aに沿って延設されており、第1遮光膜11aは、データ線6aの下にも設けられているので、データ線6aに沿って延設された第1蓄積容量電極1fと第1遮光膜11aとの間で、第2絶縁膜13を介して容量が形成される。この結果、データ線6aの下という開口領域を外れたスペースを有効に利用して、画素電極9aの蓄積容量を増やすことが出来る。

【0076】本実施形態では図3及び図5に示すように、第1層間絶縁膜12'は、容量線3bの一部である第2蓄積容量電極に対向する部分も凹状に窪んで形成されているので、第1層間絶縁膜12'の上方に容量線3bが配線されても、当該容量線3bが配線された領域における平坦化を図ることが出来る。そして、容量線3bに対向する部分における第1層間絶縁膜12'の膜厚は非常に薄く(例えば、100~200nm程度に)構成されており、且つ、第1遮光膜11aが容量線3bの下にも設けられているので、容量線3bの表面積を増やすことなく第2絶縁膜13を介して対向配置された第1遮光膜11aと半導体層1aの高濃度ドレイン領域1eから延設された第1蓄積容量電極1fとの間における容量を増やすことが出来る。即ち、全体として画素電極9aの蓄積容量を増やすことが出来る。このように、特に画像表示領域中の限られた領域において各画素の開口領域を狭めないように蓄積容量を増加させることができるので大変有利である。

【0077】本実施形態では、好ましくは第1遮光膜11aは定電位線に電気接続されており、定電位とされる。従って、第1遮光膜11aに対向配置されるTFT30に対し第1遮光膜11aの電位変動が悪影響を及ぼすことはない。この場合、定電位線の定電位としては、接地電位に等しくてもよいし、対向電極21の電位に等しくてもよい。また、定電位線は、液晶装置100を駆動するための周辺駆動回路(図1のデータ線駆動回路101、走査線駆動回路104等)の負電源、正電源等の定電位源に接続されてもよい。

【0078】再び、図4において、TFT30は、LDD構造を有しており、走査線3a、走査線3aからの電界によりチャネルが形成される半導体層1aのチャネル領域1a'、走査線3aと半導体層1aとを絶縁するゲート絶縁膜を含む絶縁薄膜2、半導体層1aの低濃度ソース領域(ソース側LDD領域)1b、データ線6a、半導体層1aの低濃度ドレイン領域(ドレイン側LDD領域)1c、半導体層1aの高濃度ソース領域1d及び高濃度ドレイン領域1eを備えている。高濃度ドレイン領域1eには、複数の画素電極9aのうちの対応する一つが接続されている。低濃度ソース領域1b及び高濃度ソース領域1d並びに低濃度ドレイン領域1c及び高濃度ドレイン領域1eは後述のように、半導体層1aに対

し、 $n$ 型又は $p$ 型のチャネルを形成するかに応じて所定濃度の $n$ 型用又は $p$ 型用の不純物イオンをドーピングすることにより形成されている。 $n$ 型チャネルのTFTは、動作速度が速いという利点があり、画素のスイッチング素子であるTFT30として用いられることが多い。本実施形態では特にデータ線6aは、A1等の金属膜や金属シリサイド等の合金膜などの遮光性の薄膜から構成されている。また、走査線3a、絶縁薄膜2及び第1層間絶縁膜12'の上には、高濃度ソース領域1dへ通じるコンタクトホール5a及び高濃度ドレイン領域1eへ通じるコンタクトホール8が各々形成された第2層間絶縁膜4が形成されている。この高濃度ソース領域1dへのコンタクトホール5aを介して、データ線6aは高濃度ソース領域1dに電気接続されている。更に、データ線6a及び第2層間絶縁膜4の上には、高濃度ドレイン領域1eへのコンタクトホール8が形成された第3層間絶縁膜7が形成されている。この高濃度ドレイン領域1eへのコンタクトホール8を介して、画素電極9aは高濃度ドレイン領域1eに電気接続されている。前述の画素電極9aは、このように構成された第3層間絶縁膜7の上面に設けられている。

【0079】TFT30は、好ましくは上述のようにLDD構造を持つが、低濃度ソース領域1b及び低濃度ドレイン領域1cに不純物イオンの打ち込みを行わないオフセット構造を持ってよいし、走査線3aの一部からなるゲート電極をマスクとして高濃度で不純物イオンを打ち込み、自己整合的に高濃度ソース及びドレイン領域を形成するセルフアライン型のTFTであってもよい。

【0080】また、図4に示すTFT30の構造において、TFT30の高濃度ソース領域1dと高濃度ドレイン領域1eとの間に、絶縁薄膜2を介して同一の走査信号が供給される走査線3aの一部からなる2つのゲート電極を直列抵抗となるように設けて、デュアルゲート（ダブルゲート）構造のTFTとしてもよい。これにより、TFT30のリーク電流を低減することができる。また、デュアルゲート構造のTFTを、上述のLDD構造、或いはオフセット構造を持つようにすれば、更にTFT30のリーク電流を低減することができ、高いコントラスト比を実現することができる。また、デュアルゲート構造により、冗長性を持たすことができ、大幅に画素欠陥を低減できるだけでなく、高温動作時でも、リーク電流が低いため、高コントラスト比の画質を実現することができる。尚、TFT30の高濃度ソース領域1dと高濃度ドレイン領域1eとの間に設ける走査線3aの一部からなるゲート電極は3つ以上でもよいことは言うまでもない。

【0081】ここで、一般には、半導体層1aのチャネル領域1a'、低濃度ソース領域1b及び低濃度ドレイン領域1c等に、光が入射すると光電変換効果により光電流が発生してしまいTFT30のトランジスタ特性が

劣化するが、本実施形態では、走査線3aを上側から覆うようにデータ線6aがA1等の遮光性の金属薄膜から形成されているので、少なくとも半導体層1aのチャネル領域1a'及び低濃度ソース領域1b、低濃度ドレイン領域1cへの入射光を効果的に防ぐことができる。また、前述のように、TFT30の下側には、第1遮光膜11aが設けられているので、少なくとも半導体層1aのチャネル領域1a'及び低濃度ドレイン領域1b、低濃度ドレイン領域1cへの戻り光（即ち、図4で下側からの光）の入射を効果的に防ぐことができる。

【0082】また図5に示すように、画素電極9aには蓄積容量70が各々設けられている。この蓄積容量70は、より具体的には、半導体層1aの高濃度ドレイン領域1eから延設されたポリシリコン膜からなる第1蓄積容量電極1f、絶縁薄膜2と同一工程により形成される誘電体膜2'、走査線3aと同一工程により形成される容量線3b、第2層間絶縁膜4及び第3層間絶縁膜7、並びに第2層間絶縁膜4及び第3層間絶縁膜7を介して容量線3bに対向する画素電極9aの一部から構成されている。このように蓄積容量70が設けられているため、デューティ比が小さくても高精細な表示が可能とされる。容量線3bは、図3に示すように、TFTアレイ基板10の面上において走査線3aと平行に設けられている。更に、本実施形態では、第1蓄積容量電極1f下の第1層間絶縁膜12'を薄膜化できるので、蓄積容量の増大を図ることが出来、画質品位の高い液晶装置が実現できる。

【0083】尚、図5に示すように、第1遮光膜11aを蓄積容量70の配線として利用することも可能である。この場合、第1蓄積容量電極1fを容量線3bの一部からなる第2蓄積容量電極と第1遮光膜11aの一部からなる第3蓄積容量電極とで各々絶縁膜を介して上下から挟み込む構造とすることにより、少ない面積で効率良く容量を付加することが可能となる。

【0084】次に、液晶装置のシール領域における構成について、図6から図9を参照して説明する。図6は、引き出し配線が設けられたシール領域におけるTFTアレイ基板の平面図であり、図7は、図6の引き出し配線部を拡大して示す拡大平面図であり、図8は、引き出し配線部の断面図である。また、図9は、図8のD-D'線に沿った断面図であり、画像信号線を横切って形成される各種の中継配線部の断面図である。尚、図9の各種中継配線は凹状に窪んだ部分に形成されている。

【0085】図6において、TFT基板アレイ基板10の周辺部に設けられた外部回路接続端子102からは、走査線駆動回路104に走査線駆動信号線105aが配線されており、データ線駆動回路101とシール領域との間の領域に、X方向に複数の画像信号線115が配線されている。そして、データ線6aの延長線上におけるシール領域下には、データ線駆動回路101からのサン



プリング回路駆動信号線 114 の引き出し配線 301a 及び画像信号線 115 から引き出し配線 301b からなる引き出し配線 (以下、“データ線側引き出し配線”と称する) 301 が設けられている。他方、走査線 3a の延長線上におけるシール領域下には、走査線駆動回路 104 から走査線側引き出し配線 401a が設けられている。また、容量線 3b から延設された引き出し配線 401b を設けても良い。容量線 3b は引き出し配線 401b を介して走査線駆動回路 104 の負電源、正電源等の定電位源に接続すると、専用の定電位線を設ける必要がなくなる、有利である。これら引き出し配線 401 (以下、“走査線側引き出し配線”と称する。) に並べて、その端部に対向電極 (共通電極) 電位配線 112 を設置しても良い。この対向電極電位配線 112 は、上下導通端子 106a 及び上下導通材 106 を介して対向基板 20 に形成された対向電極 21 (図 4 及び図 5 参照) に接続されている。また、データ線駆動回路 101 に所定検査用の信号を入力するための検査端子 111 が、データ線駆動回路 101 に隣接して設けられている。

【0086】図 6 において、TFT アレイ基板 10 上には、データ線 6a に画像信号を所定のタイミングで印加するサンプリング回路 103 が設けられている。サンプリング回路 103 は、データ線 6a 毎に設けられた複数のスイッチング素子 (例えば、TFT) を備えており、複数のシリアル-パラレル変換された画像信号が複数の画像信号線 115 から中継配線 116 及び引き出し配線 301b を介して各々入力されると、これを、データ線駆動回路 101 からサンプリング回路駆動信号線 114 及び引き出し配線 301a を介して供給されるサンプリング回路駆動信号のタイミングで各スイッチング素子によりサンプリングし、各データ線 6a に印加するように構成されている。また、サンプリング回路駆動信号線 114 と画像信号線 115 が層間絶縁膜を介して交差する部分は、中継配線 116 を用いて、サンプリング回路駆動信号線 114 と引き出し配線 301a を電気接続する。尚、サンプリング回路 103 に加えて、TFT アレイ基板 10 上に、複数のデータ線 6a に所定電圧レベルのプリチャージ信号を画像信号に先行して各々供給するプリチャージ回路、製造途中や出荷時の当該液晶装置の品質、欠陥等を検査するための検査回路等を形成してもよい。

【0087】図 7 に示すように、データ線側引き出し配線 301 は各々、Y 方向に延びており、幅 L を有し、相隣接する配線同士は間隔 S をおいて配列されている。そして、データ線側引き出し配線 301 は、データ線 6a と同じ A1 膜から構成されており、図 8 (1) に示すように、データ線側引き出し配線 301 の下には、走査線 3a と同じポリシリコン膜から構成されたダミー配線 302 が設けられている。

【0088】尚、図 6 及び図 7 において、額縁 53 とし

ての第 3 遮光膜下には画像表示領域を構成する画素と同一構成を持つダミー画素が形成されている。液晶の配向不良領域等を隠すように設けられた額縁としての第 3 遮光膜 53 下に表示用の画素を構成する必要は無いが、画像表示領域の縁付近の画素の特性安定化のために、このように画像表示領域の縁よりも外に所定幅だけダミー画素が設けられる。

【0089】他方、図 6 に示した走査線側引き出し配線 401 は各々、X 方向に延びており、相隣接する配線同士は間隔をおいて配列されている。そして、走査線側引き出し配線 401 は、走査線 3a と同じポリシリコン膜から構成されており、図 8 (2) に示すように、走査線側引き出し配線 401 の上には、データ線 6a と同じ A1 膜から構成されたダミー配線 402 が設けられている。

【0090】図 8 (1) 及び図 8 (2) に示すように、本実施形態では特に、第 1 層間絶縁膜 12' は、シール領域においてデータ線側引き出し配線 301 及び走査線側引き出し配線 401 に対向する部分が凹状に窪んで形成されている。従って、TFT アレイ基板側のシール領域においてシール材 52 に接する第 3 層間絶縁膜 7 の表面においてデータ線側引き出し配線 301 及び走査線側引き出し配線 401 上に形成される凸状の突出の高さは、当該凹状に窪んだ部分の深さに応じて低められており、同図に各々示したように、第 3 層間絶縁膜 7 の表面はほぼ平坦にされている。この結果、シール領域において、シール材 52 に混入されたグラスファイバやガラスビーズ等のギャップ材 300 を介してかかる応力は第 3 層間絶縁膜 7 の面上に一様に分散される。従って、前述の図 24 及び図 25 に示したように、ギャップ材 300 により、各引き出し配線が断線したりショートしたりする可能性は大きく低減される。

【0091】更に、液晶層 50 に面する画素領域の表面とシール材 52 に面するシール領域の表面の高さの差も小さくなる。このため、従来のように、基板間ギャップよりも 1  $\mu$ m 程度小さい径を持つギャップ材を使用する必要がなくなり、基板間ギャップと同程度の径を持つギャップ材 300 を使用することが可能となる。このことは、前述のように、画素の微細化による液晶層 50 の配向不良を防ぐべく基板間ギャップを狭める場合に、大きな効果が期待できる。

【0092】そして、本実施形態では特に、シール領域において、データ線側引き出し配線 301 に対しては、ポリシリコン膜からなるダミー配線 302 が、第 2 層間絶縁膜 4 を介して積層形成されている。他方、走査線側引き出し配線 401 に対しては、A1 膜からなるダミー配線 402 が第 2 層間絶縁膜 4 を介して積層形成されている。従って、画像表示領域の上下の辺におけるシール領域における第 3 層間絶縁膜 7 の表面の高さと、画像表示領域の左右の辺における第 3 層間絶縁膜 7 の表面の高

さとは一致するので、シール材52の全体に混入されるギャップ材300による基板間ギャップの制御が安定なものとなる。

【0093】ここで、シール領域における合計膜厚の調整用のダミー配線302は、データ線側引き出し配線301に電気接続していてもよい。同様にダミー配線402は、走査線側引き出し配線401に電気接続していてもよい。このような構成を採れば、配線の冗長が可能となる。また、電氣的に浮遊していても問題はないし、第1遮光膜11aと同一工程で形成される導電膜を引き出し配線として利用してもよい。

【0094】本実施形態では、図7に示すように、第2層間絶縁膜4(図8(1)及び(2)参照)に開孔されたコンタクトホール305を介して更に、ダミー配線302は、データ線側引き出し配線301に電気接続されている。同様に、ダミー配線402は、走査線側引き出し配線401に電気接続されている。この結果、データ線側引き出し配線301及び走査線側引き出し配線401は各々2つの導電膜(A1膜及びポリシリコン膜)からなる冗長構造を有する。従って、例えば、シール領域下においてギャップ材300による応力を受けてデータ線側引き出し配線301又は走査線側引き出し配線401が断線しても、或いは、TFTアレイ基板10に垂直な方向にA1膜が導電層が第2層間絶縁膜4を破ってポリシリコン膜にショートしても配線不良とならないで済むので有利である。

【0095】更に、図8(3)に示すように、図8(1)の構成に加えて、ダミー配線302の下に、第1遮光膜11aと同一のW(タングステン)等からなる遮光膜配線303を積層形成してもよい。この場合にも、遮光膜配線303を、第1層間絶縁膜12'に設けられたコンタクトホールを介してダミー配線302及びデータ線側引き出し配線301に電気接続すれば、3つの導電膜からなる冗長構造が得られ、配線不良の可能性は、更に低減される。同時に、シール領域と画素領域との表面の高さの差を調整するために遮光膜配線303を利用することも出来る。従って、遮光膜配線303をデータ線側引き出し配線301の冗長配線としてでなく、専ら膜厚調節用の膜として電氣的に浮遊させてもよいし、データ線6a以外の容量線3bや第1遮光膜11a用の配線として用いることも出来る。尚、走査線側引き出し配線401も同様の構造で形成できることは言うまでもない。

【0096】尚、本実施形態では、図8(1)及び(2)に示したように、画素領域における凹状の窪みを形成する場合と同様に、凹状の窪みが形成される第1層間絶縁膜12'を単層から構成してもよい。或いは、図8(3)に示したように、第1層間絶縁膜12'を、第1絶縁膜12のみの単層部分と第1及び第2絶縁膜13の多層部分とから構成してもよい。

【0097】本実施形態では、図7に示すように、シール領域において、データ線側引き出し配線301及びこれに積層形成されたダミー配線302は、ストライプ状の平面パターンを備えており、相隣接する配線間に配線間隔Sに対応する光透過用の隙間が設けられている。従って、後述の液晶装置100の製造工程において、光硬化性樹脂からなるシール材52を用いた場合に、TFTアレイ基板10を介して光を入射すれば、この積層構造における光透過用の隙間を通してシール材52に光を十分に照射することが出来る。従って、光硬化性樹脂からなるシール材52を、両方の基板の側からの光により良好に光硬化させることが出来る。特に、このように光硬化できれば、熱硬化の場合と比べて余分な熱を液晶装置100に与えなくて済むので、液晶装置100の各構成要素の熱劣化を防いだり、熱歪みによる装置欠陥の発生を防いだり出来るので有利である。また、光照射の時間が少なくて済むため、配向膜にダメージを与えることがない。従って、液晶のティルト角が高いまま維持されるので、液晶の配向不良(ディスクリネーション)による画質劣化を防ぐことが出来る。

【0098】ところで、図6において、画像信号線115は、第2層間絶縁膜4上に形成されたA1膜から構成されているため、これと交差するデータ線駆動回路101から引き出し配線301aに至るサンプリング回路駆動信号線114は、A1膜から構成することはできない。このため、画像信号線115の下層又は上層等を通る図9の如き立体的な中継配線116が必要となる。また、中継配線116はできる限り時定数を下げる工夫が必要である。そこで以下に述べるような方式が考えられる。図9(1)～(4)はそれぞれ図7のD-D'断面図である。

【0099】図9(1)において、第1導電膜116aは、走査線3aと同一のポリシリコン膜から構成されており、画像信号線115と交差するように第2層間絶縁膜4の下を通されている。そして、画像信号線115の両側において第2層間絶縁膜4に開孔されたコンタクトホールを介してサンプリング回路駆動信号線114と引き出し配線301aとを各々電気接続するように構成されている。

【0100】図9(2)において、第2導電膜116bは、第1遮光膜11aと同一のW(タングステン)等の高融点金属膜あるいは合金膜等から構成されており、画像信号線115と交差するように第1層間絶縁膜12'の下を通されている。そして、画像信号線115の両側において第1層間絶縁膜12'及び第2層間絶縁膜4に開孔されたコンタクトホールを介して、サンプリング回路駆動信号線114と引き出し配線301aとを各々電気接続するように構成されている。このような構成を採れば、中継配線116を低抵抗な高融点金属等で形成できるため、配線抵抗を下げる事が可能となり、サンプ



リング回路駆動信号の遅延を招かない。従って、サンプリング回路において十分に画像信号を書き込むことができるため、画質品位の高い液晶装置を実現できる。また、サンプリング期間が短くなっても、高速に画像信号を書き込むことができるため、高精細な液晶装置を実現することができる。

【0101】図9(3)において、中継配線116は、走査線3aと同一のポリシリコン膜からなる第1導電膜116aと第1遮光膜11aと同一のW(タングステン)等の高融点金属膜からなる第2導電膜116bとから構成されており、画像信号線115と交差するように第2層間絶縁膜4及び第1層間絶縁膜12'の下を各々通されている。そして、画像信号線115の両側において第1層間絶縁膜12'及び第2層間絶縁膜4に各々開孔されたコンタクトホールを介して、サンプリング回路駆動信号線114と引き出し配線301aとを各々電気接続するように構成されている。このような構成を採れば、画像信号線115との上下層に第1層間絶縁膜12'及び第2層間絶縁膜4を介して第1導電膜116a及び第2導電膜116bを形成するため、冗長構造が実現できる。また、第2導電膜116bは、低抵抗な高融点金属からなるため、配線抵抗を下げる事が可能となり、サンプリング回路駆動信号の信号遅延を招かない。尚、第1導電膜116aと第2導電膜116bとを直接に電気接続するようにしたが、第2導電膜116bとサンプリング回路駆動信号線114或いは引き出し配線301aと直接に電気接続するようにしてもよい。

【0102】図9(4)において、中継配線116は、図9(3)の構成に加えて、第3層間絶縁膜7上に更に、少なくとも画素開口領域の一部を規定するための高融点金属等からなる導電性遮光膜からなる第3導電膜116cが、画像信号線115と交差するように通されており、その上に第4層間絶縁膜117が形成されている。そして、画像信号線115の両側において第3層間絶縁膜7に開孔されたコンタクトホールを介して、サンプリング回路駆動信号線114と引き出し配線301aとを第1導電膜116aと共に各々電気接続するように構成されている。このような構成を採れば、画像信号線115との上下層に第1層間絶縁膜12'、第2層間絶縁膜4及び第3層間絶縁膜7を介して中継配線116を第1導電膜116a、第2導電膜116b、第3導電膜116cからなる3層で形成するため、更なる冗長構造が実現できる。また、第2導電膜116b及び第3導電膜116cは、低抵抗な高融点金属からなるため、配線抵抗をなお一層下げることが可能となり、サンプリング回路駆動信号の信号遅延を招かない。尚、図7に示すように画像信号線115を複数設ける場合に、画像信号線115と引き出し配線301bを接続するための中継配線116を設ける必要がある。具体的に説明すると、画像信号線115と中継配線116はコンタクトホール3

05により電気接続され、他の画像信号線115の形成領域を層間絶縁膜を介して交差するように引き出し配線301bにコンタクトホール305により電気接続する。このように画像信号線115からの中継配線116も上述のサンプリング回路駆動信号線114の中継配線116と同様な構成を採ることで画像信号の遅延を最小限に抑えることができる。

【0103】次に、図10を参照して、図6から図9に示したシール領域における基板間ギャップ(即ち、シール材52の厚み)と、図3から図5に示した画素領域における基板間ギャップ(即ち、液晶層50の厚み)とを、各種の形態について比較して説明する。尚、図10では、走査線側引き出し配線401が通されたシール領域を画素領域と比較するが、図8(1)及び(2)に示したように、データ線側引き出し配線301が通されたシール領域の場合にも、同様である。

【0104】先ず、図10(1)に示すように、従来はシール領域下に、主にデータ線6aを構成するA1膜並びに主に走査線3a及び容量線3bを構成するポリシリコン膜とから冗長構造を持つ引き出し配線401を設け、第1遮光膜11aと同一工程で形成される導電膜を設けず、且つ引き出し配線401を層間絶縁膜の凹状の窪みに埋め込まない場合を考える。この場合、シール領域の表面は、画素領域の表面と比較して、A1膜及びポリシリコン膜の分だけ高くなり且つ画素電極9aを構成するITO膜の分だけ低くなるので、シール領域における基板間ギャップL1は、画素領域における基板間ギャップL3よりも(例えば、600~800nm程度)小さくなる。他方、この場合、シール領域の表面は、TFT形成領域と比較して、第1遮光膜11a、半導体層1a及び絶縁薄膜2の分だけ低くなるので、シール領域における基板間ギャップL1は、TFT形成領域における基板間ギャップL2よりも大きくなる(L2<L1<L3)。

【0105】次に、図10(2)に示すように、本実施形態ではシール領域下に、A1膜及びポリシリコン膜とから冗長構造を持つ引き出し配線401を設け、第1遮光膜と同一工程で形成される導電膜を設けず、且つ引き出し配線401を層間絶縁膜の凹状の窪みに埋め込んだ場合を考える。この場合、シール領域の表面は、図10(1)の場合と比べて、凹状の窪みの深さの分だけ低くなるので、シール領域における基板間ギャップL1は、画素領域における基板間ギャップL3と等しくなる。そして、シール領域における基板間ギャップL1は、TFT形成領域における基板間ギャップL2よりも大きくなる(L2<L1=L3)。

【0106】次に、図10(3)に示すように、更に本実施形態ではシール領域下に、A1膜及びポリシリコン膜とから冗長構造を持つ引き出し配線401を設け、第1遮光膜11aと同一工程で形成される導電膜403を

設け、且つ引き出し配線401を層間絶縁膜の凹状の窪みに埋め込んだ場合を考える。この場合、シール領域の表面は、図10(2)の場合と比べて、導電膜403の分だけ高くなるが、その分だけ凹状の窪みの深さを深くしてあるので、シール領域における基板間ギャップL1は、画素領域における基板間ギャップL3と等しくなる。そして、シール領域における基板間ギャップL1は、TFT形成領域における基板間ギャップL2ともほぼ等しくなる(L1=L2=L3)。

【0107】以上図10(2)、(3)に示したように、本実施形態では、層間絶縁膜に形成した凹状の窪みにデータ線側引き出し配線301及び走査線側引き出し配線401を埋め込むことにより、画素領域とシール領域とにおける基板間ギャップをほぼ等しく出来るので、図10(1)に示す従来例のように、画素領域における基板間ギャップよりも1 $\mu$ m程度小さい径を持つギャップ材を使用する必要がなくなり、画素領域における基板間ギャップと同程度の径を持つギャップ材300を使用することが可能となる。このことは、前述のように、画素の微細化による液晶の配向不良を防ぐべく基板間ギャップを狭める場合に、大きな効果が期待できる。即ち、基板間ギャップを4 $\mu$ mから3 $\mu$ m或いは2 $\mu$ mに狭めた場合に、従来のように、シール領域の表面が平坦化されていない場合には、2 $\mu$ m或いは1 $\mu$ mの径を持つ非常に微少なギャップ材が必要となり、精度の高いギャップ制御は實際上極めて困難となるが、本実施形態のように、シール領域の表面が平坦化されていれば、基板間ギャップに等しい3 $\mu$ m或いは2 $\mu$ m程度の径を持つギャップ材で足りる。従って、比較的大きい径のギャップ材を用いて、精度の高いギャップ制御を行える。また、ギャップが狭まると、シール材に含有される光硬化性樹脂の接着力が著しく低下し、信頼性の低下を招くが、本実施形態では、シール領域下でも同程度のギャップが確保できるため、液晶装置の基板間の接着強度に支障をきたすことがない。

【0108】尚、この観点からは、図11に示すように、第1層間絶縁膜12'において、データ線側引き出し配線301に対向する部分に加えてデータ線側引き出し配線301に対向しない部分をも含めてシール領域全体を凹状に窪めて形成してもよい。このように構成しても、シール領域の表面の高さ(即ち、全体として凹状に窪んだシール領域内で複数のデータ線側引き出し配線301上に各々位置し、凸状に突出した部分の表面の高さ)と画素領域の高さの差は小さくなるので、基板間ギャップ(L3)と同程度の径(L1)を持つギャップ材300を用いて、精度の高いギャップ制御を行える。

【0109】次に図12を参照して、以上の実施形態における定電位線と第1遮光膜との電気接続について説明を加える。尚、図12は、定電位線と第1遮光膜との接続の一例を示すTFTアレイ基板上における配線の平面

図である。

【0110】図12に示すように本例では、走査線駆動回路104は画像表示領域の両側に設けられており、例えば定電位の負電源VSSYが外部電源装置から外部回路接続端子及び定電位線500を介して供給される。定電位線500は、例えばデータ線6aと同じA1膜から形成されており、特に額縁53としての第3遮光膜下において第3遮光膜53に沿って配線された部分を含む。他方、第1遮光膜11aは、前述のように画像表示領域内において走査線3a、容量線3b及びデータ線6aに沿って引き回されており、第3遮光膜53下において定電位線500とコンタクトホール502を介して接続されている。このように、第3遮光膜53下のデッドスペースを有効に使うことにより、他の配線(データ線6a、走査線3a等)を妨害しないように、定電位線500と第1遮光膜11aとを第3遮光膜53下でコンタクトホール502を介して接続することができる。尚、定電位線500は、データ線駆動回路101の定電位の電源等を使用しても、何ら問題の無いことは言うまでもない。

【0111】尚、以上の実施形態において、データ線駆動回路101及び走査線駆動回路104をTFTアレイ基板10の上に設ける代わりに、例えばTAB(Tape Automated Bonding)基板上に実装された駆動用LSIに、TFTアレイ基板10の周辺部に設けられた異方性導電フィルムを介して電氣的及び機械的に接続するようにしてもよい。

【0112】また、図1から図11には示されていないが、対向基板20の投射光が入射する側及びTFTアレイ基板10の出射光が出射する側には各々、例えば、TN(ツイステッドネマティック)モード、STN(スーパーTN)モード、D-STN(ダブルSTN)モード等の動作モードや、ノーマリーホワイトモード/ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の方角で配置される。

【0113】次に以上のように構成された本実施形態の動作について図1及び図4を参照して説明する。

【0114】先ず、制御回路から画像信号を受けたデータ線駆動回路101は、この画像信号に応じたタイミング及び大きさで信号電圧をデータ線6aに印加し、これと並行して、走査線駆動回路104は、所定タイミングで走査線3aにゲート電圧をパルス的に順次印加し、TFT30は駆動される。これにより、ゲート電圧がオンとされた時点でソース電圧が印加されたTFT30においては、高濃度ソース領域1d及び低濃度ソース領域1b、半導体層1aに形成されたチャネル領域1a'並びに低濃度ドレイン領域1c及び高濃度ドレイン領域1eを介して画素電極9aに電圧が印加される。そして、この画素電極9aの電圧は、ソース電圧が印加された時間

よりも例えば3桁も長い時間だけ蓄積容量70(図5参照)により保持される。以上のように、画素電極9aに電圧が印加されると、液晶層50におけるこの画素電極9aと対向電極21とに挟まれた部分における液晶の配向状態が変化し、ノーマリーホワイトモードであれば、印加された電圧に応じて投射光がこの液晶部分を通過不可能とされ、ノーマリーブラックモードであれば、印加された電圧に応じて投射光がこの液晶部分を通過可能とされ、全体として液晶装置100からは画像信号に応じたコントラストを持つ光が出射する。

【0115】特に本実施形態では、第1層間絶縁膜12'はTFT30や各種配線に対向する位置において凹状に窪んで形成されているので、液晶の配向不良が低減されている。そして、第1層間絶縁膜12'はシール領域内のデータ線側引き出し配線301及び走査線側引き出し配線401に対向する位置においても、凹状に窪んで形成されているので、精度の良い基板間ギャップ制御により、液晶の配向不良が低減されている。これらの結果、最終的には、液晶装置100により、高解像度且つ高コントラストで高画質の画像を表示することが可能となる。

【0116】以上説明した液晶装置100は、カラー液晶プロジェクトに適用されるため、3つの液晶装置100がRGB用のライトバルブとして各々用いられ、各ライトバルブには各々RGB色分解用のダイクロイックミラーを介して分解された各色の光が投射光として各々入射されることになる。従って、各実施形態では、対向基板20に、カラーフィルタは設けられていない。しかしながら、液晶装置100においても第2遮光膜23の形成されていない画素電極9aに対向する所定領域にRGBのカラーフィルタをその保護膜と共に、対向基板20上に形成してもよい。このようにすれば、液晶プロジェクト以外の直視型や反射型のカラー液晶テレビなどのカラー液晶装置に本実施形態の液晶装置を適用できる。更に、対向基板20上に1画素1個対応するようにマイクロレンズを形成してもよい。このようにすれば、入射光の集光効率を向上することで、明るい液晶装置が実現できる。更にまた、対向基板20上に、何層もの屈折率の相違する干涉層を形成することで、光の干涉を利用して、RGB色を作り出すダイクロイックフィルタを形成してもよい。このダイクロイックフィルタ付き対向基板によれば、より明るいカラー液晶装置が実現できる。

【0117】液晶装置100では、従来と同様に投射光を対向基板20の側から入射することとしたが、第1遮光膜11aが存在するので、TFTアレ基板10の側から投射光を入射し、対向基板20の側から出射するようにしても良い。即ち、このように液晶装置100を液晶プロジェクトに取り付けても、半導体層1aのチャネル領域1a'及び低濃度ソース領域1b、低濃度ドレイン領域1cに光が入射することを防ぐことが出来、高画

質の画像を表示することが可能である。ここで、従来は、TFTアレ基板10の裏面側での反射を防止するために、反射防止用のAR(Anti Reflection)被膜された偏光板を別途配置したり、ARフィルムを貼り付ける必要があった。しかし、本実施形態では、TFTアレ基板10の表面と半導体層1aの少なくともチャネル領域1a'及び低濃度ソース領域1b、低濃度ドレイン領域1cとの間に第1遮光膜11aが形成されているため、このようなAR被膜された偏光板やARフィルムを用いたり、TFTアレ基板10そのものをAR処理した基板を使用する必要がなくなる。従って、本実施形態によれば、材料コストを削減でき、また偏光板貼り付け時に、ごみ、傷等により、歩留まりを落とすことがなく大変有利である。また、耐光性が優れているため、明るい光源を使用したり、偏光ビームスプリッタにより偏光変換して、光利用効率を向上させても、光によるクロストーク等の画質劣化を生じない。

【0118】尚、液晶装置100において、TFTアレ基板10側における液晶分子の配向不良を更に抑制するために、第3層間絶縁膜7の上に更に平坦化膜をスパインコート等で塗布してもよく、又はCMP処理を施してもよい。或いは、第3層間絶縁膜7を平坦化膜で形成してもよい。本実施形態では、図8から図10等に示したように、第1層間絶縁膜12'の凹状の窪みによりTFT30や各種配線が形成された部分とそれ以外の部分とが殆ど同じ高さとなるため、このような平坦化処理は一般に必要でないが、より高品位の画像を表示するために、このように最上層部において更なる平坦化を行う場合にも、平坦化膜を非常に薄くできたり、平坦化処理を僅かに加えるだけで済むので本実施形態は、大変有利である。尚、TFTアレ基板10に溝を形成し、TFT30や各種配線を溝の中に形成しても同様の効果を得られる。

【0119】また、液晶装置100の各画素のスイッチング素子は、正スタガ型又はコプラナー型のポリシリコンTFTであるとして説明したが、逆スタガ型のTFTやアモルファスシリコンTFT等の他の形式のTFTに対しても、本実施形態は有効である。

【0120】更に、液晶装置100の各画素のスイッチング素子として、TFTに変えて、TFD(Thin Film Diode: 薄膜ダイオード)素子等の2端子型非線形素子を用いてもよい。この場合には、走査線及びデータ線のうちの一方を対向基板に設けてストライプ状の対向電極とし、他方を素子アレ基板に設けて、各TFD素子等を介して各画素電極に接続するように構成すればよい。或いは、液晶装置100の各画素にスイッチング素子を設けることなく、パッシブマトリクス型の液晶装置として構成してもよい。あるいは、液晶装置に限らず、エレクトロルミネッセンス等さまざまな電気光学装置として構成してもよい。これらの場合にも、シール領域下にお

ける引き出し配線部を平坦化する構成を採れば、配線不良を防ぐことができると共に基板間ギャップを精度良く制御できる。

【0121】更に、液晶装置100においては、一例として液晶層50をネマティック液晶から構成したが、液晶を高分子中に微小粒として分散させた高分子分散型液晶を用いれば、配向膜19及び22、並びに前述の偏光フィルム、偏光板等が不要となり、光利用効率が高まることによる液晶装置の高輝度化や低消費電力化の利点が得られる。更に、画素電極9aをA1等の反射率の高い金属膜から構成することにより、液晶装置100を反射型液晶装置に適用する場合には、電圧無印加状態で液晶分子がほぼ垂直配向されたSH（スーパーホメオトロピック）型液晶などを用いても良い。更にまた、液晶装置100においては、液晶層50に対し垂直な電界（縦電界）を印加するように対向基板20の側に対向電極21を設けているが、液晶層50に平行な電界（横電界）を印加するように一對の横電界発生用の電極から画素電極9aを各々構成する（即ち、対向基板20の側には縦電界発生用の電極を設けることなく、TFTアレイ基板10の側に横電界発生用の電極を設ける）ことも可能である。このように横電界を用いると、縦電界を用いた場合よりも視野角を広げる上で有利である。その他、各種の液晶材料（液晶相）、動作モード、液晶配列、駆動方法等に本実施形態を適用することが可能である。

【0122】（液晶装置の製造プロセス）次に、以上のような構成を持つ液晶装置100の製造プロセスについて図13から図19を参照して説明する。尚、図13から図16は各工程におけるTFTアレイ基板10側の各層を図4のA-A'断面に対応させて示す工程図であり、図17から図19は各工程におけるシール領域下のデータ線側引き出し配線301に積層される各層を示す工程図である。そして、両図に記された工程（1）～工程（17）は、TFTアレイ基板10上の相異なる部分における同一の工程として各々一括して行われるものである。

【0123】まず、図13から図16を参照して、図4のA-A'断面に対応するTFT30を含む部分の製造プロセスについて説明する。

【0124】図13の工程（1）に示すように、石英基板、ハードガラス等のTFTアレイ基板10を用意する。ここで、好ましくはN<sub>2</sub>（窒素）等の不活性ガス雰囲気且つ約900～1300℃の高温でアニール処理し、後に実施される高温プロセスにおけるTFTアレイ基板10に生じる歪みが少なくなるように前処理しておく。即ち、製造プロセスにおける最高温で高温処理される温度に合わせて、事前にTFTアレイ基板10を同じ温度かそれ以上の温度で熱処理しておくとも良い。

【0125】このように処理されたTFTアレイ基板10の全面に、Ti、Cr、W、Ta、Mo及びPb等の

金属や金属シリサイド等の金属合金膜を、スパッタリングにより、100～500nm程度の膜厚、好ましくは約200nmの膜厚の遮光膜11を形成する。

【0126】続いて、工程（2）に示すように、該形成された遮光膜11にフォトリソグラフィ及びエッチングを行うことにより、第1遮光膜11aを形成する。

【0127】次に工程（3）に示すように、第1遮光膜11aの上に、例えば、常圧又は減圧CVD法等によりTEOS（テトラ・エチル・オルソ・シリケート）ガス、TEB（テトラ・エチル・ボートレート）ガス、TMOP（テトラ・メチル・オキシ・フォスレート）ガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第1絶縁膜12（2層の第1層間絶縁膜12'の下層）を形成する。この第1絶縁膜12の膜厚は、例えば、約800～1200nmとする。

【0128】次に工程（4）に示すように、TFT30、データ線6a、走査線3a及び容量線3bを上方に形成する予定の領域に対して、エッチングを行い、この領域における第1絶縁膜12を除去する。ここで、エッチングを反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングで処理した場合、フォトリソグラフィにより形成したレジストマスクとほぼ同じサイズで異方的に第1層間絶縁膜12が除去できるため、設計寸法通りに容易に制御できる利点がある。一方、少なくともウエットエッチングを用いた場合には、等方性のため、第1層間絶縁膜12の開孔領域が広がるが、開孔部の側壁面をテーパ状に形成できるため、後工程の例えば走査線3aを形成するためのポリシリコン膜やレジストが、開孔部の側壁周囲にエッチングや剥離されずに残ってしまうことがなく、歩留まりの低下を招かない。尚、第1層間絶縁膜12の開孔部の側壁面をテーパ状に形成する方法としては、ドライエッチングで一度エッチングしてから、レジストマスクを後退させて、再度ドライエッチングを行ってもよい。

【0129】また、TFT30、データ線6a、走査線3a及び容量線3bのうちの全部でなく一部（例えば、容量線3b部分）のみを凹状に窪んだ部分に埋め込むのであれば、当該埋め込む配線等に対応するマスクを用いて第1絶縁膜12に対してエッチングを行うようにする。

【0130】次に工程（5）に示すように、第1遮光膜11a及び第1絶縁膜12の上に、第1絶縁膜12と同様に、シリケートガラス膜、又は窒化シリコン膜や酸化シリコン膜等からなる第2絶縁膜13（2層の第1層間絶縁膜12'の上層）を形成する。この第2絶縁膜13の膜厚は、例えば、約100～200nmとする。第2絶縁膜13に対し、約900℃のアニール処理を施すことにより、汚染を防ぐと共に平坦化してもよい。

【0131】本実施形態では特に、第1層間絶縁膜を形

成する第1絶縁膜12及び第2絶縁膜13の膜厚は、後に画素電極9aが形成される前に画素領域がほぼ平坦になるように設定される。

【0132】次に工程(6)に示すように、第2絶縁膜13の上に、約450～550℃、好ましくは約500℃の比較的低温環境中で、流量約400～600cc/minのモノシランガス、ジシランガス等を用いた減圧CVD(例えば、圧力約20～40PaのCVD)により、アモルファスシリコン膜を形成する。その後、窒素雰囲気中で、約600～700℃にて約1～10時間、好ましくは、4～6時間のアニール処理を施することにより、ポリシリコン膜1を約50～200nmの厚さ、好ましくは約1000オングストロームの厚さとなるまで固相成長させる。この際、nチャネル型のTFT30を作成する場合には、Sb(アンチモン)、As(砒素)、P(リン)などのV族元素の不純物イオンを僅かにイオン注入等によりドーピングしても良い。また、TFT30をpチャネル型とする場合には、B(ボロン)、Ga(ガリウム)、In(インジウム)などのIII族元素の不純物イオンを僅かにイオン注入等によりドーピングしても良い。尚、アモルファスシリコン膜を経ないで、減圧CVD法等によりポリシリコン膜1を直接形成しても良い。或いは、減圧CVD法等により形成したポリシリコン膜にシリコンイオンを打ち込んで一旦非晶質化(アモルファス化)し、その後アニール処理等により再結晶化させてポリシリコン膜1を形成しても良い。

【0133】次に図14の工程(7)に示すように、フォトリソグラフィ工程、エッチング工程等により、図8に示した如き所定パターンの半導体層1aを形成する。

【0134】次に工程(8)に示すように、半導体層1aを約900～1300℃の温度、好ましくは約1000℃の温度により熱酸化することにより、約30nmの比較的薄い厚さの熱酸化膜を形成し、更に減圧CVD法等により高温酸化シリコン膜(HTO膜)や窒化シリコン膜を約50nmの比較的薄い厚さに形成し、多層構造を持つ絶縁薄膜2を形成する。この結果、半導体層1aの厚さは、約30～150nmの厚さ、好ましくは約35～50nmの厚さとなり、絶縁薄膜2の厚さは、約20～150nmの厚さ、好ましくは約30～100nmの厚さとなる。このように高温熱酸化時間を短くすることにより、特に8インチ程度の大型基板を使用する場合に熱によるそりを防止することができる。但し、ポリシリコン膜1を熱酸化することのみにより、単一層構造を持つ絶縁薄膜2を形成してもよい。

【0135】次に工程(9)に示すように、減圧CVD法等によりポリシリコン膜3を形成した後、Pを熱拡散し、ポリシリコン膜3を導電化する。又は、Pイオンをポリシリコン膜3の成膜と同時に導入したドーピングシリコン膜を用いてもよい。

【0136】工程(10)に示すように、フォトリソグ

ラフィ工程、エッチング工程等により、図8に示した如き所定パターンの走査線3a及び容量線3bを形成する。走査線3a及び容量線3bの膜厚は、例えば、約350nmとされる。

【0137】但し、走査線3a及び容量線3bを、ポリシリコン膜ではなく、WやMo等の高融点金属膜又は金属シリサイド膜から形成してもよいし、若しくはこれらの金属膜又は金属シリサイド膜とポリシリコン膜を組み合わせて多層に形成してもよい。この場合、走査線3aを、第2遮光膜23が覆う領域の一部又は全部に対応する遮光膜として配置すれば、金属膜や金属シリサイド膜の持つ遮光性により、第2遮光膜23の一部或いは全部を省略することも可能となる。この場合特に、対向基板20とTFTアレイ基板10との貼り合わせずれによる画素開口率の低下を防ぐことが出来る利点がある。

【0138】次に工程(11)に示すように、TFT30をLDD構造を持つnチャネル型のTFTとする場合、p型の半導体層1aに、先ず低濃度ソース領域1b及び低濃度ドレイン領域1cを形成するために、走査線3aを拡散マスクとして、PなどのV族元素の不純物イオン200を低濃度で(例えば、Pイオンを $1\sim3\times10^{13}/\text{cm}^2$ のドーピング量にて)ドーピングする。これにより走査線3a下の半導体層1aはチャネル領域1a'となる。

【0139】続いて、図15の工程(12)に示すように、高濃度ソース領域1d及び高濃度ドレイン領域1eを形成するために、走査線3aの一部からなるゲート電極よりも幅の広いマスクでレジスト層202を走査線3a上に形成した後、同じくPなどのV族元素の不純物イオン201を高濃度で(例えば、Pイオンを $1\sim3\times10^{15}/\text{cm}^2$ のドーピング量にて)ドーピングする。また、TFT30をpチャネル型とする場合、n型の半導体層1aに、低濃度ソース領域1b及び低濃度ドレイン領域1c並びに高濃度ソース領域1d及び高濃度ドレイン領域1eを形成するために、BなどのIII族元素の不純物イオンを用いてドーピングする。このようにLDD構造とした場合、ショートチャネル効果を低減できる利点が得られる。尚、例えば、低濃度のドーピングを行わずに、オフセット構造のTFTとしてもよく、走査線3aの一部からなるゲート電極をマスクとして、Pイオン、Bイオン等を用いたイオン注入技術によりセルフアライン型のTFTとしてもよい。

【0140】これらの工程と並行して、nチャネル型ポリシリコンTFT及びpチャネル型ポリシリコンTFTから構成される相補型構造を持つデータ線駆動回路101及び走査線駆動回路104をTFTアレイ基板10上の周辺部に形成する。このように、TFT30を構成する半導体層1aをポリシリコン膜で形成すれば、TFT30の形成時に同一工程で、データ線駆動回路101及び走査線駆動回路104を形成することができ、製造上



有利である。

【0141】次に工程(13)に示すように、走査線3aを覆うように、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第2層間絶縁膜4を形成する。第2層間絶縁膜4の膜厚は、約500～1500nmが好ましい。

【0142】次に工程(14)に示すように、半導体層1aを活性化するために約1000℃のアニール処理を20分程度行った後、データ線6aに対するコンタクトホール5aを、反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより形成する。この際、反応性イオンエッチング、反応性イオンビームエッチングのような異方性エッチングにより、コンタクトホール5aを開孔した方が、開孔形状をマスク形状とほぼ同じにできるという利点がある。但し、ドライエッチングとウェットエッチングとを組み合わせることで、配線接続時の断線を防止できるという利点を得られる。また、走査線3aを図示しない配線と接続するためのコンタクトホールも、コンタクトホール5aと同一の工程により第2層間絶縁膜4に開ける。

【0143】次に工程(15)に示すように、第2層間絶縁膜4の上に、スパッタリング等により、遮光性のAl等の低抵抗金属や金属シリサイド等を金属膜6として、約100～500nmの厚さ、好ましくは約300nmに形成し、更に工程(16)に示すように、フォトリソグラフィ工程、エッチング工程等により、データ線6aを形成する。

【0144】次に図16の工程(17)に示すように、データ線6a上を覆うように、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第3層間絶縁膜7を形成する。第3層間絶縁膜7の膜厚は、約500～1500nmが好ましい。

【0145】本実施形態では、特に図13の工程(4)及び(5)により、TFT30や各種配線部分において、第1層間絶縁膜が凹状に窪んで形成されているため、この工程(17)を終えた段階で、画素領域の表面はほぼ平坦となる。尚、より平坦にするためには、第3層間絶縁膜7を構成するシリケートガラス膜に代えて又は重ねて、有機膜やSOG(Spin On Glass)をスピニングコートして、若しくは又はCMP処理を施して、平坦な膜を形成してもよい。

【0146】次に工程(18)に示すように、画素電極9aと高濃度ドレイン領域1eとを電気接続するためのコンタクトホール8を、反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより

形成する。この際、反応性イオンエッチング、反応性イオンビームエッチングのような異方性エッチングにより、コンタクトホール8を開孔した方が、開孔形状をマスク形状とほぼ同じにできるという利点を得られる。但し、ドライエッチングとウェットエッチングとを組み合わせることで、配線接続時の断線を防止できるという利点を得られる。

【0147】次に工程(19)に示すように、第3層間絶縁膜7の上に、スパッタリング等により、ITO膜等の透明導電性薄膜9を、約50～200nmの厚さに形成し、更に工程(20)に示すように、フォトリソグラフィ工程、エッチング工程等により、画素電極9aを形成する。尚、当該液晶装置100を反射型の液晶装置に用いる場合には、Al等の反射率の高い不透明な材料から画素電極9aを形成してもよい。

【0148】続いて、画素電極9aの上にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、図4に示した配向膜19が形成される。

【0149】他方、図4に示した対向基板20については、ガラス基板等が先ず用意され、第2遮光膜23及び額縁としての第3遮光膜53が、例えば金属クロムをスパッタリングした後、フォトリソグラフィ工程、エッチング工程を経て形成される。尚、第2遮光膜23及び第3遮光膜53は、Cr、Ni、Alなどの金属材料の他、カーボンやTiをフォトレジストに分散した樹脂ブラックなどの材料から形成してもよい。

【0150】また、第3層間絶縁膜7上に高融点金属等からなる遮光膜を形成し、前記第2遮光膜23及び第3遮光膜53をTFTアレイ基板10上に設けてもよい。このような構成を採れば、TFTアレイ基板10上で開口領域が規定されるため、TFTアレイ基板10と対向基板20との貼り合わせ精度を無視することができる。従って、液晶装置の透過率がばらつかないため、歩留まりの低下を招かない。

【0151】その後、対向基板20の全面にスパッタリング等により、ITO等の透明導電性薄膜を、約50～200nmの厚さに形成することにより、対向電極21を形成する。更に、対向電極21の全面にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、配向膜22が形成される。

【0152】最後に、上述のように各層が形成されたTFTアレイ基板10と対向基板20とは、配向膜19及び22が対面するように、所定径(例えば、3μm程度の径)を持つグラスファイバ又はガラスビーズ等からなるギャップ材300が所定量だけ混入されたシール材52により貼り合わされ、真空吸引等により、両基板間の空間に、例えば複数種類のネマティック液晶を混合して

なる液晶が吸引されて、所定層厚の液晶層50が形成される。

【0153】次に、図17から図19を参照して、シール領域下のデータ線側引き出し配線301に積層される各層(図8(3)参照)の製造プロセスについて説明する。尚、走査線側引き出し配線401は、データ線側引き出し配線301と同様に構成されており、従って以下に説明する製造プロセスと同様の製造プロセスにより製造される。

【0154】図17の工程(1)から図19の工程(17)は、前述した図13の工程(1)から図16の工程(17)と同一の製造プロセスとして行われる。

【0155】即ち、図17の工程(1)に示すように、TFTアレイ基板10の全面に遮光膜11を形成した後、工程(2)に示すように、フォトリソグラフィ工程、エッチング工程等により遮光配線303を形成する。

【0156】次に工程(3)に示すように、遮光配線303の上に、第1絶縁膜12(2層の第1層間絶縁膜12'の下層)を形成し、工程(4)に示すように、データ線側引き出し配線301を上方に形成する予定の領域に対して、エッチングを行い、この領域における第1絶縁膜12を除去する。ここで、前記エッチングを反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングで処理した場合、フォトリソグラフィにより形成したレジストマスクとほぼ同じサイズで異方的に第1絶縁膜12が除去できるため、設計寸法通りに容易に制御できる利点がある。一方、少なくともウェットエッチングを用いた場合には、等方性のため、第1絶縁膜12の開孔領域が広がるが、開孔部の側壁面をテーパー状に形成できるため、後工程の例えば走査線3aを形成するためのポリシリコン膜3やレジストが、開孔部の側壁周囲にエッチングや剥離されずに残ってしまうことがなく、歩留まりの低下を招かない。尚、第1絶縁膜12の開孔部の側壁面をテーパー状に形成する方法としては、ドライエッチングで一度エッチングしてから、レジストマスクを後退させて、再度ドライエッチングを行ってもよい。また、ドライエッチングとウェットエッチングを組み合わせてもよいことは言うまでもない。

【0157】その後、工程(5)に示すように、遮光配線303及び第1絶縁膜12の上に、第2絶縁膜13(2層の第1層間絶縁膜12'の上層)を形成する。

【0158】次に工程(6)に示すように、薄膜トランジスタを生成するために第2絶縁膜13上にアモルファスシリコン膜を形成した後、ポリシリコン膜1を固相成長させるが、このシール領域には、半導体層1aは不要であるので、図17の工程(7)に示すように、エッチング工程等により、ポリシリコン膜1はこのシール領域では全て除去される。尚、上記工程(5)から(7)の間に、遮光配線303を、データ線側引き出し配線30

1用の冗長配線とする場合には、遮光配線303の上方においてコンタクトホールを第2絶縁膜13に開ける。尚、引き出し配線301をデータ線6aから延設したA1膜等から直接形成してもよい。

【0159】次に、画素部に対する工程(8)の熱酸化が終了するのを待って、工程(9)に示すように、ポリシリコン膜3を形成した後、工程(10)に示すように、フォトリソグラフィ工程、エッチング工程等により、所定パターンのダミー配線302を走査線3aと同一層から形成する。従って、ダミー配線302の膜厚は、走査線3aと同じく、例えば、約350nmとされる。

【0160】次に図17の工程(11)及び図18の工程(12)に示すように、不純物イオンをドーピングしてダミー配線302を低抵抗化する。

【0161】次に工程(13)に示すように、ダミー配線302を覆うように、第2層間絶縁膜4を形成する。尚、工程(14)のエッチング工程においては、ダミー配線302を、データ線側引き出し配線301用の冗長配線とする場合には、ダミー配線302の上方においてコンタクトホールを第2層間絶縁膜4に開孔する。

【0162】次に工程(15)に示すように、第2層間絶縁膜4の上に、スパッタリング等により、A1等を金属膜6として形成した後、工程(16)に示すように、フォトリソグラフィ工程、エッチング工程等により、データ線側引き出し配線301を形成する。

【0163】次に工程(17)に示すように、データ線側引き出し配線301上を覆うように、第3層間絶縁膜7を形成する。

【0164】本実施形態では、特に図16の工程(4)及び(5)により、データ線側引き出し配線301部分において、第1層間絶縁膜が凹状に窪んで形成されているため、この工程(17)を終えた段階で、画素領域の表面はほぼ平坦となる。

【0165】尚、以上の本実施形態における液晶装置の製造方法によれば、第1遮光膜11aと定電位線とを接続するためのコンタクトホールとして、第1遮光膜11aに至るまで第2層間絶縁膜4及び第1絶縁膜13(第1層間絶縁膜の上層)が開孔され、同時に、TFT30とデータ線6aとを接続するためのコンタクトホール5aとして、半導体層1aに至るまで第2層間絶縁膜4が開孔される。従って、これら2種類のコンタクトホールを一括して開孔できるので、製造上有利である。例えば、選択比を適当な値に設定してのウェットエッチングにより、このような2種類のコンタクトホールを各々所定の深さとなるように一括して開孔することが可能となる。特に、第1層間絶縁膜の凹状に窪んだ部分の深さに応じて、これらのコンタクトホールを開孔する工程が容易となる。第1遮光膜11aと定電位線500を接続するためのコンタクトホール開孔工程(フォトリソグラ



ィ工程、エッチング工程等)が削除できるので、工程増による製造コストの増大や歩留まりの低下を招かない。

【0166】以上説明したように本実施形態における製造プロセスによれば、凹状に窪んだ部分における第1層間絶縁膜12'の膜厚を、第2絶縁膜13の膜厚の管理により、比較的容易にして確実且つ高精度に制御できる。従って、この凹状に窪んだ部分における第1層間絶縁膜12'の膜厚を非常に薄くすることも可能となる。

【0167】尚、第1層間絶縁膜を単層から構成する場合には、図13及び図17に各々示した工程(3)、

(4)及び(5)に若干の変更を加えて、各工程を行えばよい。即ち、工程(3)において、第1遮光膜11a或いは遮光配線303の上に、例えば、約1000~1500nmといったように若干厚めの単層の第1層間絶縁膜を形成し、工程(4)において、TFT30、データ線6a、走査線3a及び容量線3b並びにデータ線側引き出し配線301を上方に形成する予定の領域に対して、エッチングを行い、この領域における第1層間絶縁膜を100~200nm程度の厚みを残すようにする。そして、工程(5)を省略する。このように第1層間絶縁膜12'を単層から構成すれば、従来の場合と比較しても層の数を増加させる必要が無く、凹状に窪んだ部分とそうでない部分との膜厚をエッチング時間管理により制御すれば平坦化を図れるので便利である。

【0168】(電子機器)次に、上記に説明した実施形態の電気光学装置を備えた電子機器の実施形態について図20から図23を参照して説明する。

【0169】先ず図20には、上述の液晶装置100を備えた電子機器の概略構成を示す。

【0170】図20において、電子機器は、表示情報出力源1000、表示情報処理回路1002、駆動回路1004、液晶装置100、クロック発生回路1008並びに電源回路1010を備えて構成されている。表示情報出力源1000は、ROM(Read Only Memory)、RAM(Random Access Memory)、光ディスク装置などのメモリ、画像信号を同調して出力する同調回路等を含み、クロック発生回路1008からのクロック信号に基づいて、所定フォーマットの画像信号などの表示情報を表示情報処理回路1002に出力する。表示情報処理回路1002は、増幅・極性反転回路、シリアル・パラレル変換回路、ローテーション回路、ガンマ補正回路、クランプ回路等の周知の各種処理回路を含んで構成されており、クロック信号に基づいて入力された表示情報からデジタル信号を順次生成し、クロック信号CLKと共に駆動回路1004に出力する。駆動回路1004は、液晶装置100を駆動する。電源回路1010は、上述の各回路に所定電源を供給する。尚、液晶装置100を構成するTFTアレレイ基板の上に、駆動回路1004を搭載してもよく、これに加えて表示情報処理回路1002を搭載してもよい。

【0171】次に図21から図23に、このように構成された電子機器の具体例を各々示す。

【0172】図21において、電子機器の一例たる液晶プロジェクタ1100は、上述した駆動回路1004がTFTアレレイ基板上に搭載された液晶装置100を含む液晶表示モジュールを3個用意し、各々RGB用のライトバルブ100R、100G及び100Bとして用いたプロジェクタとして構成されている。液晶プロジェクタ1100では、メタルハライドランプ等の白色光源のランプユニット1102から投射光が発せられると、3枚のミラー1106及び2枚のダイクロイックミラー1108によって、RGBの3原色に対応する光成分R、G、Bに分けられ、各色に対応するライトバルブ100R、100G及び100Bに各々導かれる。この際特にB光は、長い光路による光損失を防ぐために、入射レンズ1122、リレーレンズ1123及び出射レンズ1124からなるリレーレンズ系1121を介して導かれる。そして、ライトバルブ100R、100G及び100Bにより各々変調された3原色に対応する光成分は、ダイクロイックプリズム1112により再度合成された後、投射レンズ1114を介してスクリーン1120にカラー画像として投射される。

【0173】本実施形態では特に、遮光膜がTFTの下側にも設けられているため、当該液晶装置100からの投射光に基づく液晶プロジェクタ内の投射光学系による反射光、投射光が通過する際のTFTアレレイ基板の表面からの反射光、他の液晶装置から出射した後にダイクロイックプリズム1112を突き抜けてくる投射光の一部等が、戻り光としてTFTアレレイ基板の側から入射しても、画素電極のスイッチング用のTFT等のチャンネル領域に対する遮光を十分に行うことができる。このため、小型化に適したプリズムを投射光学系に用いても、各液晶装置のTFTアレレイ基板とプリズムとの間において、戻り光防止用のARフィルムを貼り付けたり、偏光板にAR被膜処理を施したりすることが不要となるので、構成を小型且つ簡易化する上で大変有利である。

【0174】図22において、電子機器の他の例たるマルチメディア対応のラップトップ型のパーソナルコンピュータ(PC)1200は、上述した液晶装置100がトップカバーケース内に備えられており、更にCPU、メモリ、モデム等を収容すると共にキーボード1202が組み込まれた本体1204を備えている。

【0175】また図23に示すように、駆動回路1004や表示情報処理回路1002を搭載しない液晶装置100の場合には、駆動回路1004や表示情報処理回路1002を含むIC1324がポリイミドテープ1322上に実装されたTCP(Tape Carrier Package)1320に、TFTアレレイ基板10の周辺部に設けられた異方性導電フィルムを介して物理的且つ電氣的に接続して、液晶装置として、生産、販売、使用等することも可

能である。

【0176】以上図21から図23を参照して説明した電子機器の他にも、液晶テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、カーナビゲーション装置、電子手帳、電卓、ワードプロセッサ、エンジニアリング・ワークステーション(EWS)、携帯電話、テレビ電話、POS端末、タッチパネルを備えた装置等などが図20に示した電子機器の例として挙げられる。

【0177】以上説明したように、本実施形態によれば、製造効率が高く高品位の画像表示が可能な液晶装置100を備えた各種の電子機器を実現できる。

【0178】

【発明の効果】本発明の電気光学装置によれば、シール領域の表面が平坦化されているので、シール材に混入したギャップ材による引き出し配線の断線やショートなどの配線不良を低減できる。しかも、シール領域の表面と画素領域の表面との間でも平坦化が図られているので、比較的大きいギャップ材をシール材に混入して基板間ギャップの制御を高精度で行える。これらの結果、画素や配線の微細化及び画素の高開口率化を図りつつ、信頼性が高く、しかも液晶の配向状態が良好で高品位の画像表示を行える電気光学装置を実現できる。

【0179】本発明の電子機器によれば、電子機器は、上述した本願発明の電気光学装置を備えているので、信頼性が高いと共に液晶の配向状態が良く、高品位の画像表示が可能な液晶プロジェクタ、パーソナルコンピュータ、ページャ等の様々な電子機器を実現可能となる。

【図面の簡単な説明】

【図1】 本発明による液晶装置の全体構成を示す平面図である。

【図2】 図1のH-H'断面図である。

【図3】 本発明による液晶装置の実施形態に備えられる、データ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板上的隣接する画素群の平面図である。

【図4】 図1のA-A'断面对向基板等と共に示す液晶装置の実施形態の断面図である。

【図5】 図1のC-C'断面对向基板等と共に示す液晶装置の断面図である。

【図6】 シール領域に形成されたデータ線及び走査線側引き出し配線部分を拡大して示す拡大平面図である。

【図7】 シール領域に形成されたデータ線側引き出し配線部分を更に拡大して示す拡大平面図である。

【図8】 シール領域下に形成された引き出し配線部における液晶装置のTFTアレイ基板側の断面図である。

【図9】 図7のD-D'断面におけるサンプリング回路駆動信号線用の中継配線の各種態様を示す断面図である。

【図10】 シール領域と画素領域における基板間ギャ

ップを各種の層構造の場合について比較する、液晶装置のシール領域及び画素領域における断面図である。

【図11】 本実施形態の変形例でのシール領域と画素領域における基板間ギャップを比較する、液晶装置のシール領域及び画素領域における断面図である。

【図12】 本実施形態の定電位線と第1遮光膜との接続の一例を示すTFTアレイ基板上における配線の平面図である。

【図13】 液晶装置の実施形態の製造プロセスを図4に示した部分について順を追って示す工程図(その1)である。

【図14】 液晶装置の実施形態の製造プロセスを図4に示した部分について順を追って示す工程図(その2)である。

【図15】 液晶装置の実施形態の製造プロセスを図4に示した部分について順を追って示す工程図(その3)である。

【図16】 液晶装置の実施形態の製造プロセスを図4に示した部分について順を追って示す工程図(その4)である。

【図17】 液晶装置の実施形態の製造プロセスを図8(3)に示した部分について順を追って示す工程図(その1)である。

【図18】 液晶装置の実施形態の製造プロセスを図8(3)に示した部分について順を追って示す工程図(その2)である。

【図19】 液晶装置の実施形態の製造プロセスを図8(3)に示した部分について順を追って示す工程図(その3)である。

【図20】 本発明による電子機器の実施形態の概略構成を示すブロック図である。

【図21】 電子機器の一例としての液晶プロジェクタを示す断面図である。

【図22】 電子機器の他の例としてのパーソナルコンピュータを示す正面図である。

【図23】 電子機器の一例としてのTCPを用いた液晶装置を示す斜視図である。

【図24】 ギャップ材(ガラスファイバ)による、従来の基板間ギャップの制御を示す液晶装置のシール領域の平面図及び断面図である。

【図25】 ギャップ材(ガラスビーズ)による、従来の基板間ギャップの制御を示す液晶装置のシール領域の平面図及び断面図である。

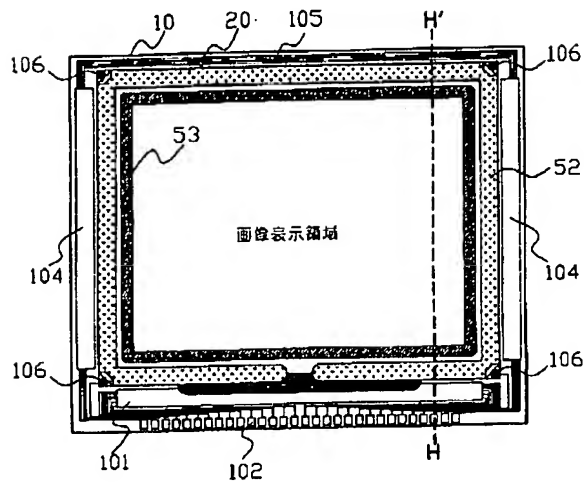
【符号の説明】

- 1 a...半導体層
- 3 a...走査線
- 3 b...容量線
- 4...第2層間絶縁膜
- 5 a...コンタクトホール
- 6 a...データ線

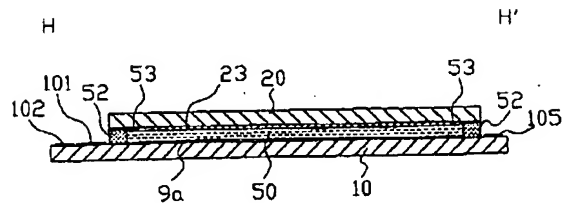
7...第3層間絶縁膜  
 8...コンタクトホール  
 9a...画素電極  
 10...TFTアレ基基板  
 11a...第1遮光膜  
 12'...第1層間絶縁膜  
 19...配向膜  
 20...対向基板  
 21...対向電極  
 22...配向膜  
 23...第2遮光膜  
 30...TFT  
 50...液晶層

52...シール材  
 53...第3遮光膜  
 70...蓄積容量  
 100...液晶装置  
 101...データ線駆動回路  
 103...サンプリング回路  
 104...走査線駆動回路  
 116...中継配線  
 300...ギャップ材  
 301...データ線側引き出し配線  
 302...ダミー配線  
 402...ダミー配線  
 401...走査線側引き出し配線

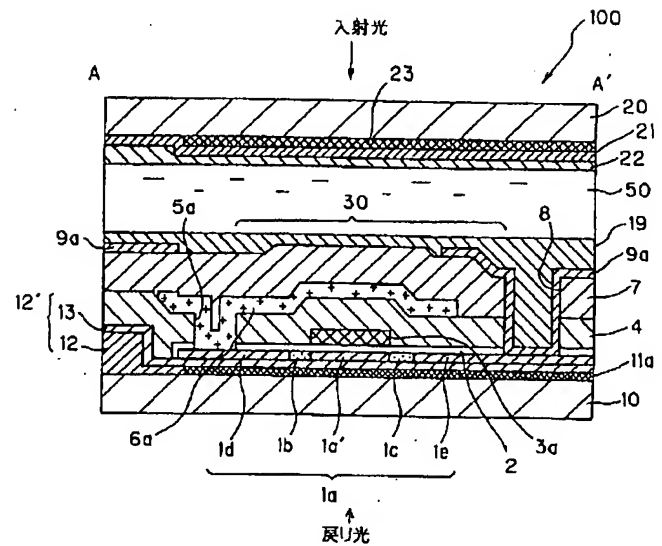
【図1】



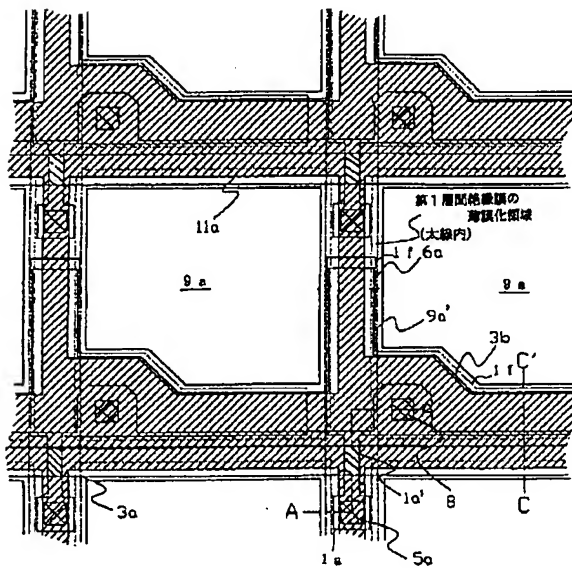
【図2】



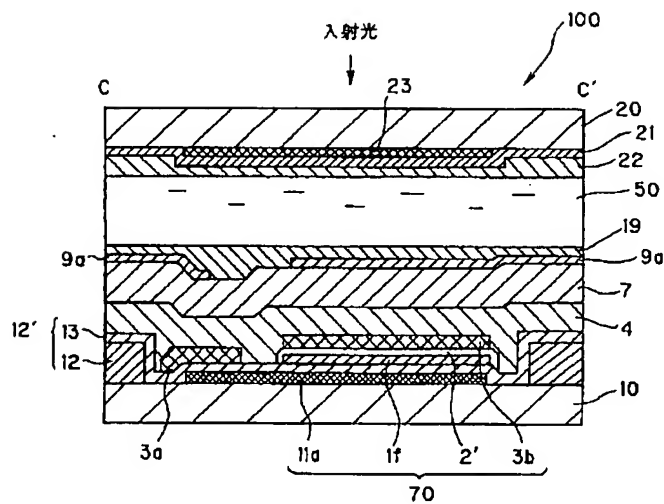
【図4】



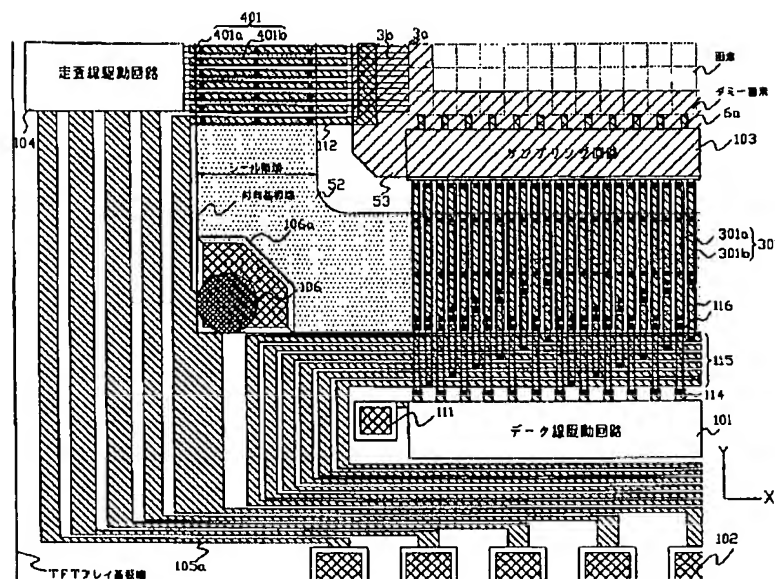
【図3】



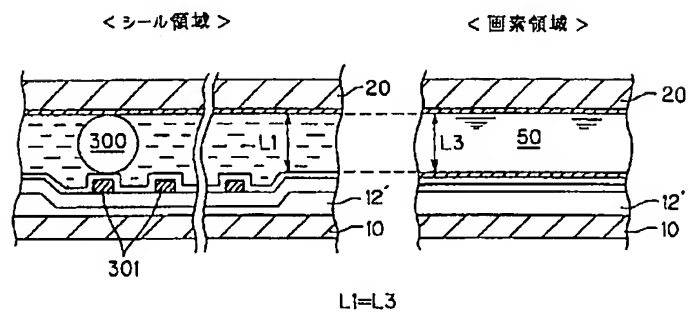
【図5】



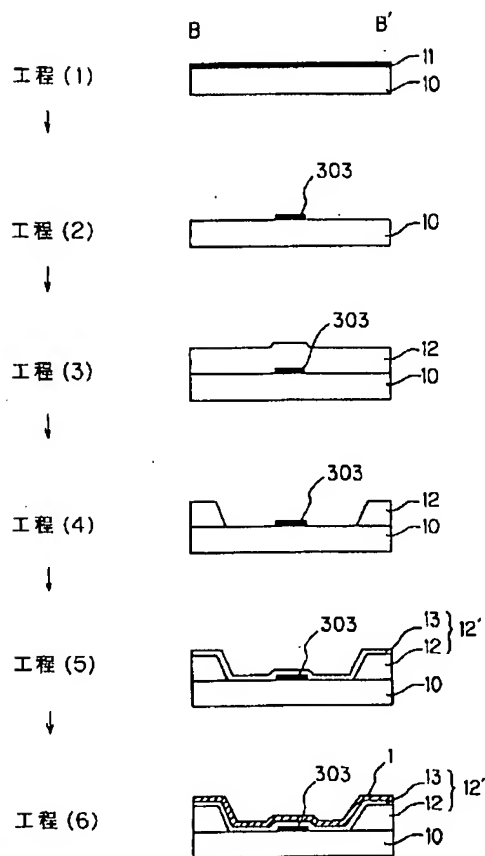
【図6】



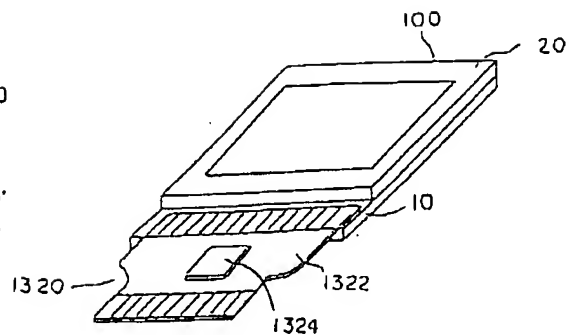
【図 11】



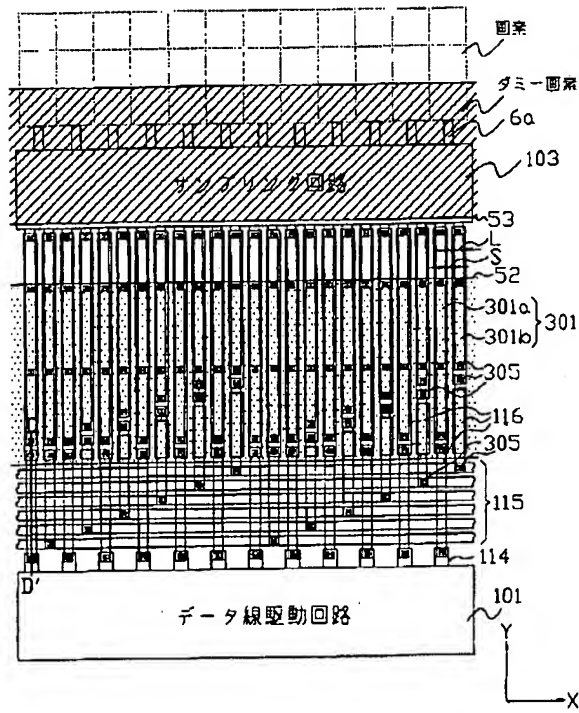
【图17】



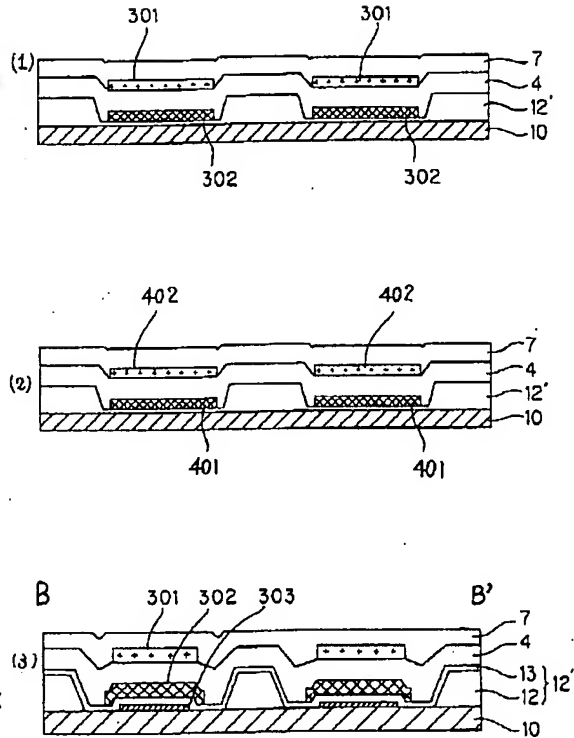
【图23】



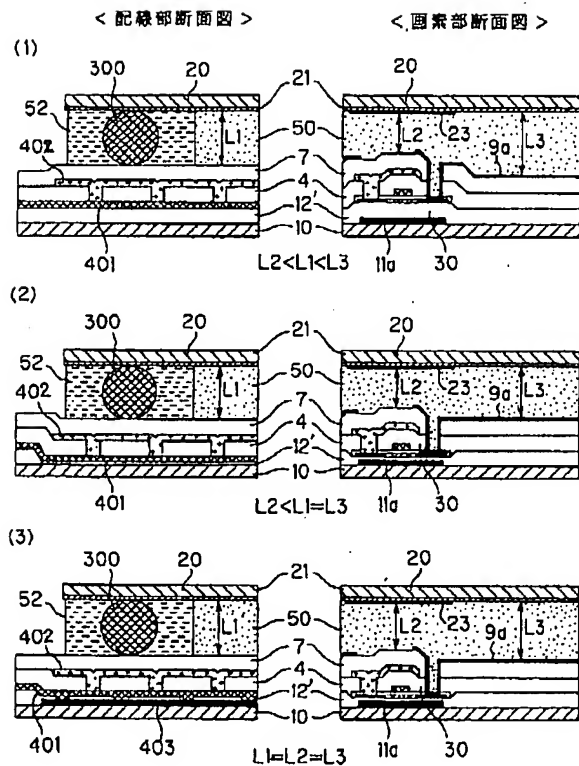
【図7】



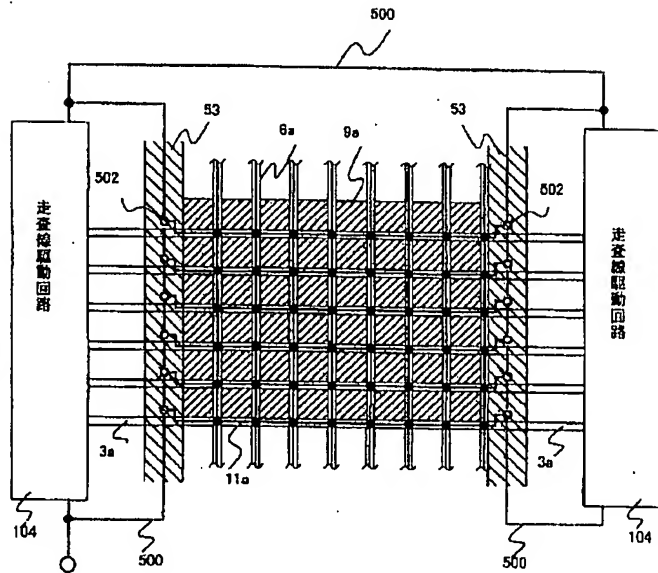
【図8】



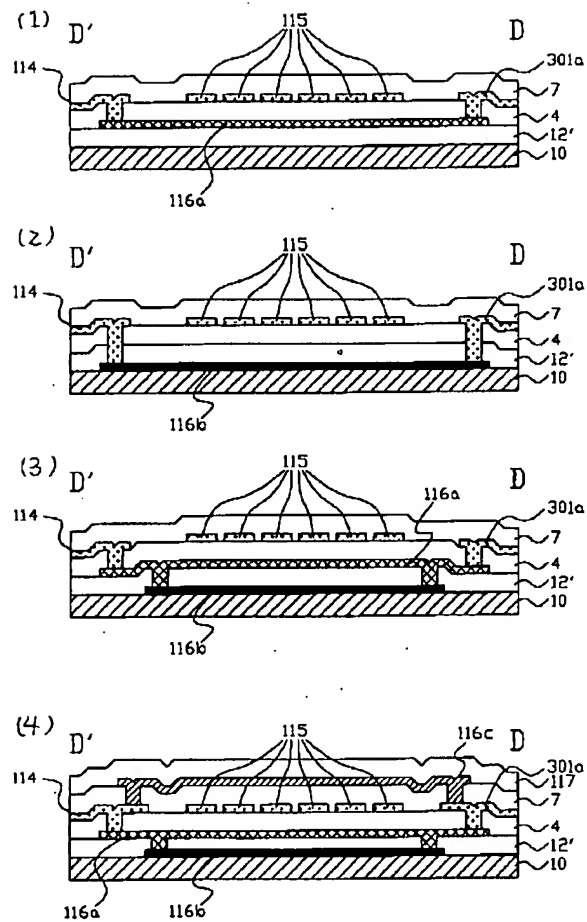
【図10】



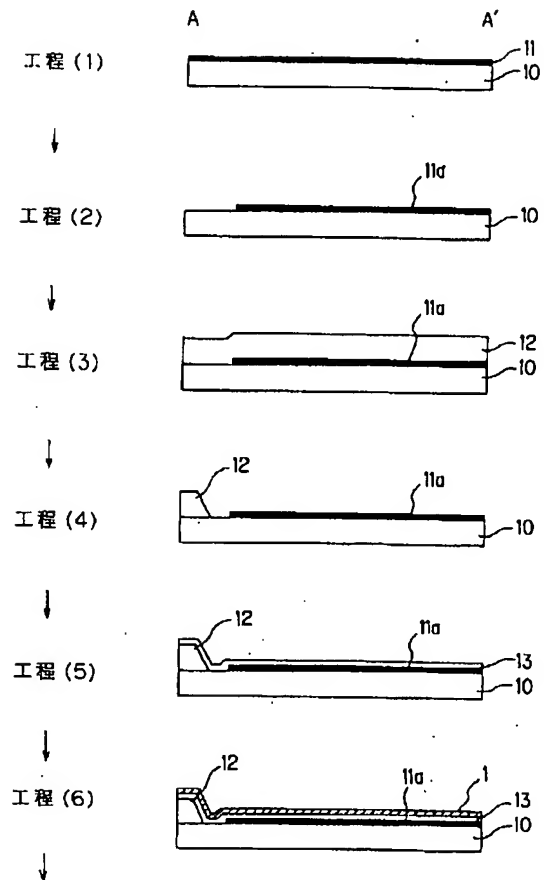
【図12】



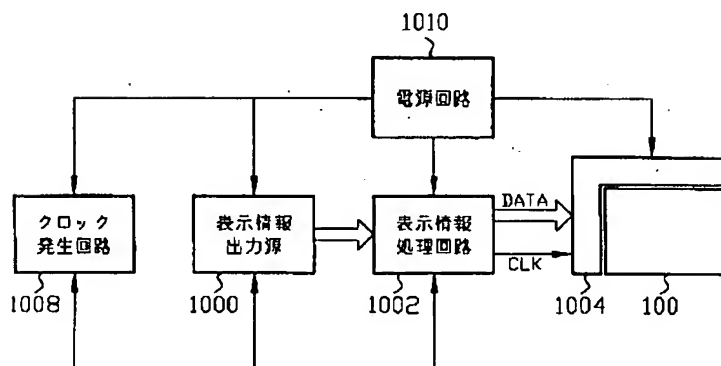
【図9】



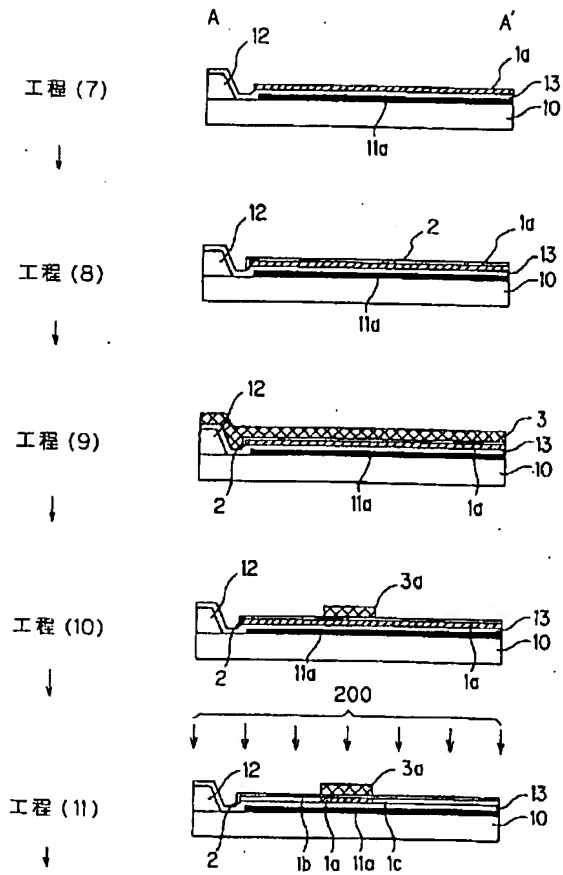
【図13】



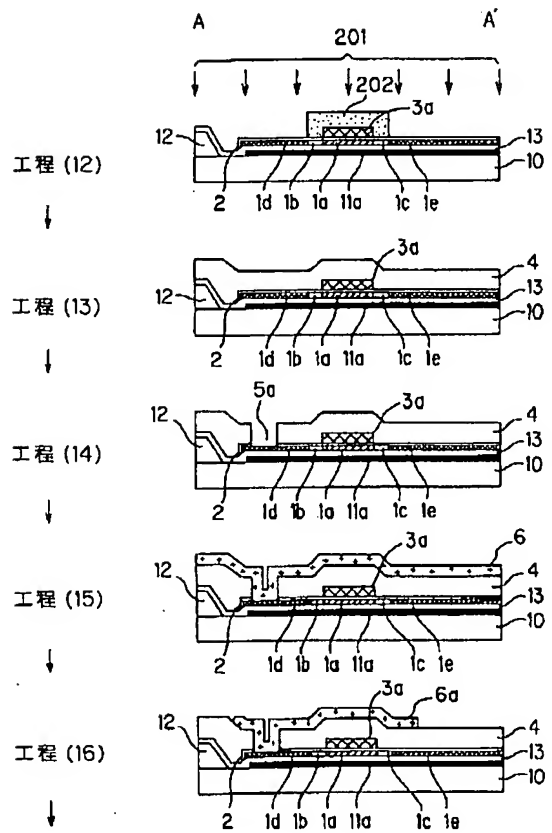
【図20】



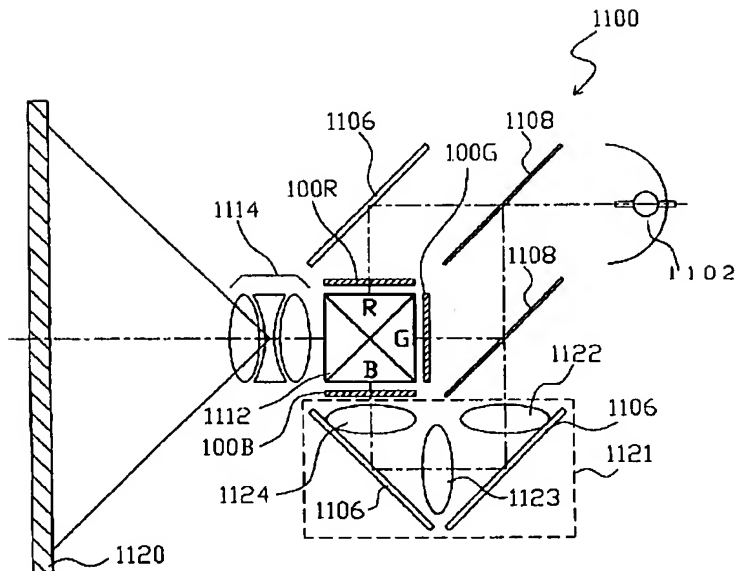
【図14】



【図15】

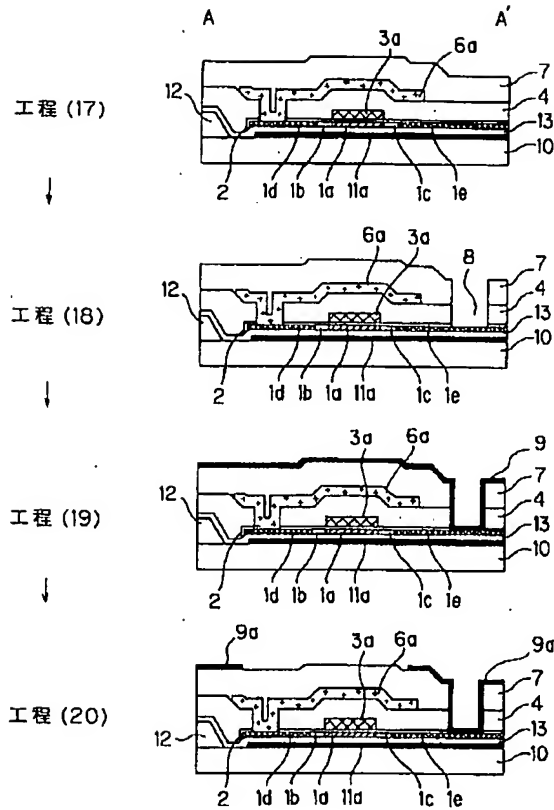


【図21】

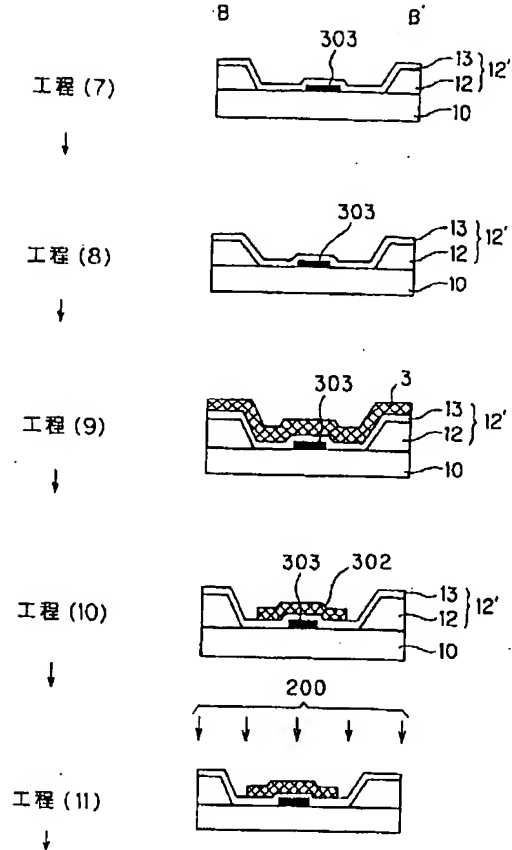




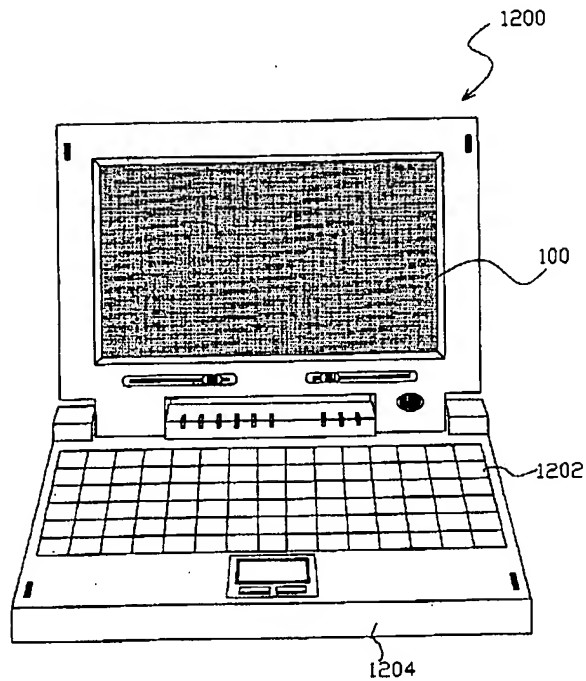
【図16】



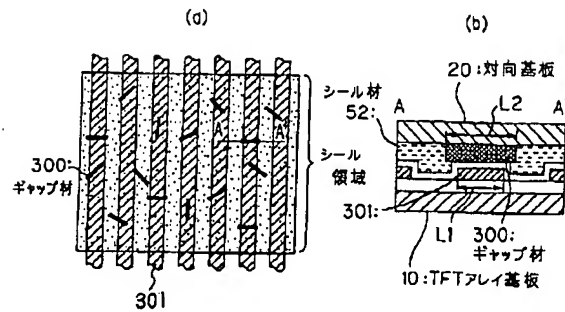
【図18】



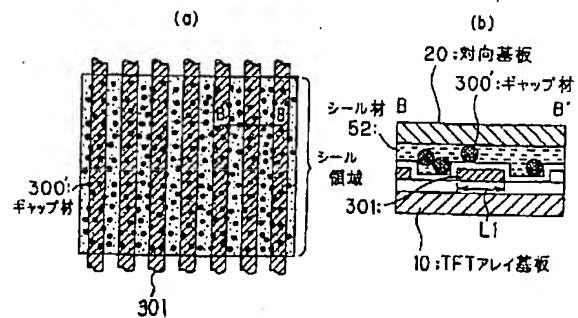
【図22】



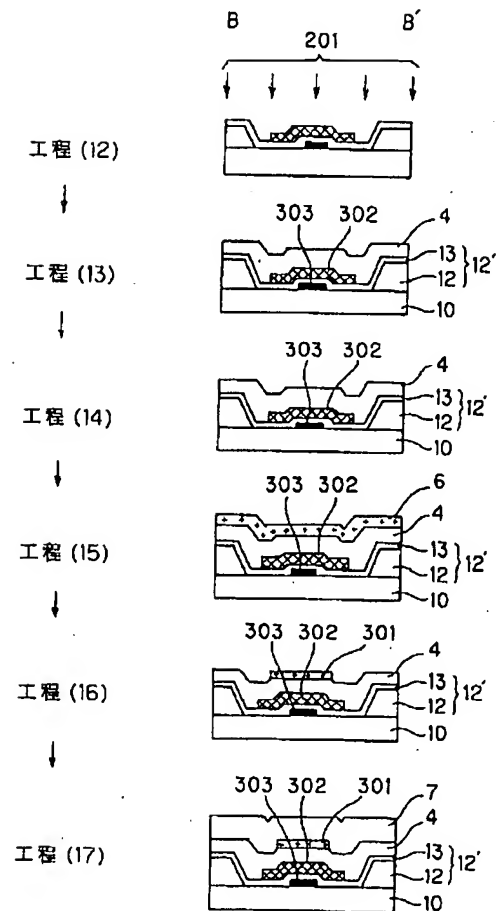
【図24】



【図25】



【図19】



フロントページの続き

(51)Int.Cl.<sup>7</sup>  
H01L 29/786  
21/336

識別記号

F I  
H01L 29/78

テ-マ-ト' (参考)

612Z  
619A  
619B

Fターム(参考) 2H089 LA47 MA01X TA03 TA05  
2H090 HA02 HA04 HB03X HB04X  
HB08Y HC12 HC15 JB02  
2H092 GA05 GA35 HA12 JA02 JA24  
JB24 JB33 JB53 KB04 MA07  
MA13 MA26 MA27 MA41 NA12  
NA15 NA16 NA19 PA03 PA04  
RA05  
5C094 AA32 AA42 AA55 BA03 BA43  
DA07 DA09 DA15 ED15 FB20  
5F110 AA18 BB01 BB04 BB06 BB07  
CC02 DD02 DD12 DD13 DD14  
DD17 DD24 DD25 EE09 FF02  
FF23 GG02 GG13 GG24 GG25  
GG32 GG47 GG52 HJ01 HJ04  
HJ13 HL03 HL07 HM14 HM15  
HM18 NN03 NN04 NN22 NN23  
NN24 NN25 NN26 NN27 NN28  
NN34 NN35 NN36 NN40 NN42  
NN44 NN45 NN46 NN47 NN54  
NN72 QQ11 QQ19